

8.

MINI MICROCONVERTER ADUC814



8.1 ADUC814 GENEL ÖZELLİKLERİ

ADUC814, 28 bacaklı SMD kılıf(28-TSSOP) içerisinde endüstri standardı 8052 uyumlu 8-bit, yüksek performanslı ADC/DAC ve Flash/EE program/veri belleği bulunduran özel bir mikrodenetleyicidir.

Bu MCU 32 kHz kristalle çalışmasına rağmen üzerindeki PLL birimi sayesinde 16.78 MHz'e çıkabilmektedir. Saat darbeleri PLL biriminden mikrodenetleyicinin ihtiyaç duyduğu saat frekansı oluşturulmak üzere programlanabilir saat bölücü birimine yönlendirilir.

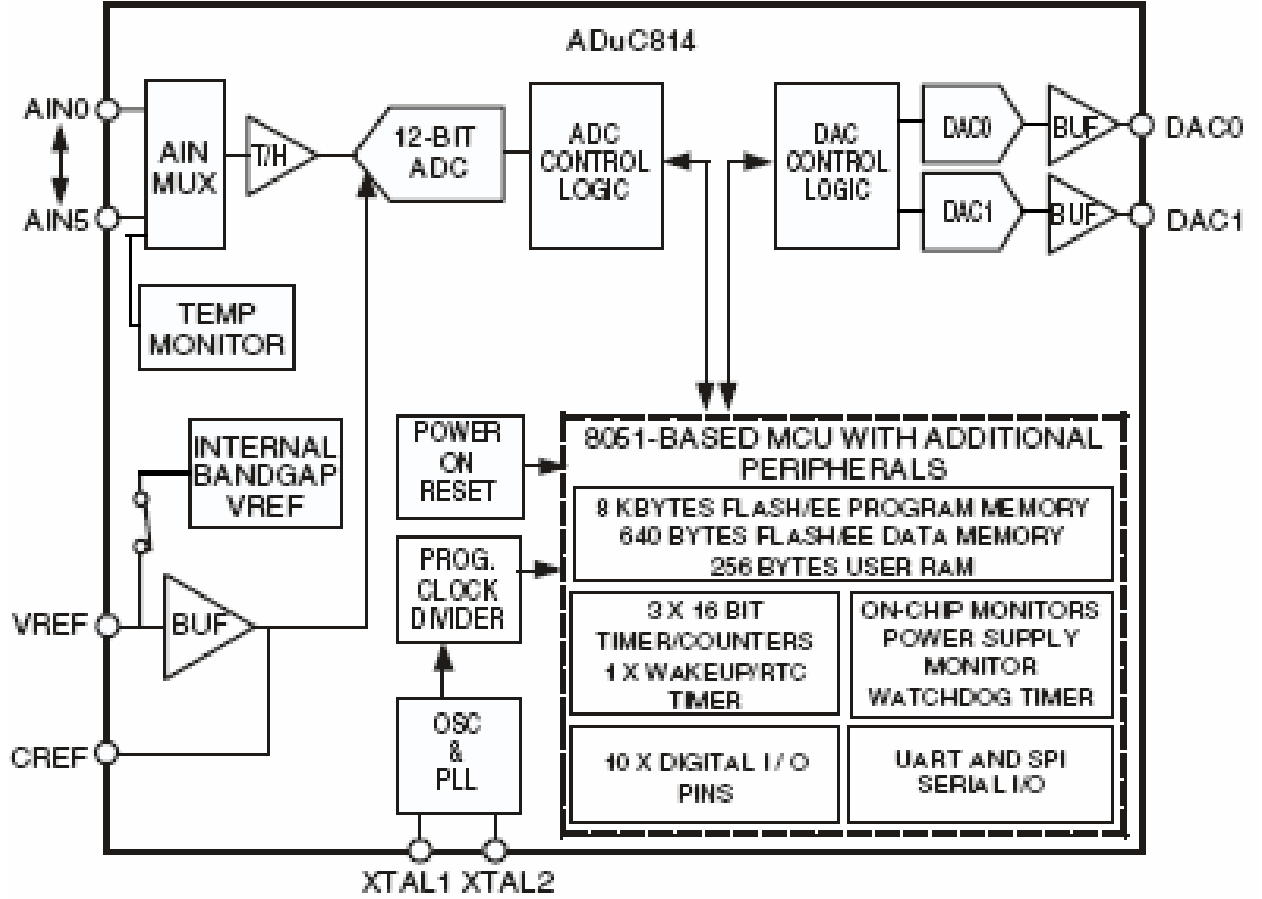
İçerisinde 8052 mikrodenetleyici bulunduğu için 8051 komut kümesine uyumludur. Ayrıca 8K Flash/EE program belleği, 640 byte Flash/EE data belleği ve 256 byte RAM yonga üzerinde mevcuttur.

ADUC814, 6 kanal, 12 bit çözünürlüğe sahip ADC, 2 kanal yine 12 bit çözünürlüğe sahip DAC, güç kaynağı göstergesi (power supply monitor) ve *bandgap referans* gibi analog özelliklere de sahiptir. Yonga üzerindeki dijital özellikler ise; TIC(time interval counter), WDT(watchdog timer), 3 adet timer/counter ve 2 seri I/O portudur (SPI, UART).

Fabrika yazılımı; devre üzerinde seri yükleme, debug mod(UART ile) ve tek pin emulasyon modu(DLOAD pini ile) desteklemektedir.

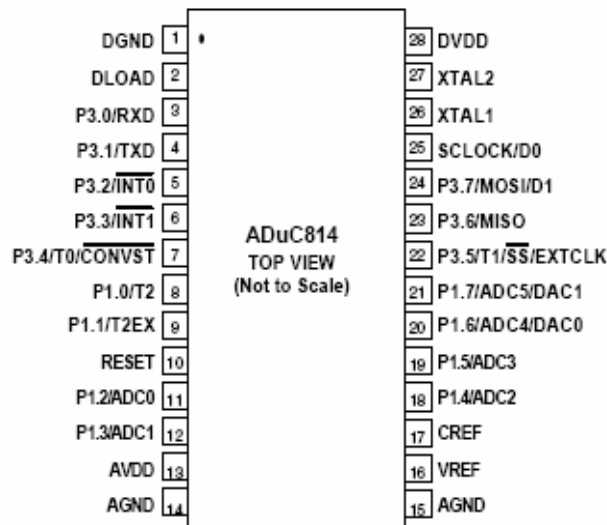
3V veya 5V ile beslenebilen ADUC814, -40°C ile +125°C arasında düzgün olarak çalışabilir.

8.1.1 CPU CORE



Şekil 8.1 ADuC814 Blok Diyagramı

8.1.1.1 PIN KONFIGURASYONU



Şekil 8.2 Pin Konfigürasyonu (28 pin TSSOP)

8.1.1.2 PİN FONKSİYONLARI

Pin Numarası	Mnemonic	Tip	Fonksiyon
-1	DGND	S	Dijital toprak, dijital devreler için topraklama referans noktası.
- 2	DLOAD	I	Devreye güç verildiğinde veya resetten sonra eğer bu pin bir direnç vasıtasıyla set edilmiş ise debug/seri yükleme modu aktif edilmiş olur. Bu modda, DLOAD harici emulasyon I/O pini olarak kullanılabilir. Bu modda işlem yaparken bu pindeki gerilim seviyesi değiştirilmemelidir. Aksi halde emulation kesmesi meydana gelir. Bu pin 0 a çekilip reset atılırsa kullanıcı kodu çalışmaya başlar.
- 3-7	P3.0 - P3.4	I/O	Bunlar dahili pull-up dirençleri ile 1 e çekilen çift yönlü port pinleridir. Port3 pinlerine dışardan giriş olarak 0 verildiğinde pull- up dirençlerinden dışarıya doğru akım akar. Çıkış 0 dan 1 e çıkarıldığında strong pull-up 1. makine çevriminde aktif olur. Port3 pinlerinin diğer fonksiyonları şöyledir.
3	P3.0/RXD	I/O	Seri (UART) modda, asenkron alıcı veri girişi ya da senkron data giriş/çıkışı
4	P3.1/TXD	I/O	Seri (UART) modda, asenkron verici veri çıkışı ya da senkron saat çıkışı
5	P3.2/INT0	I/O	Programlanabilir kenar yada seviye tetiklemeli kesme girişi. Bu pin ayrıca TIMER-0 kontrol girişi olarak kullanılabilir.
6	P3.3/INT1	I/O	Programlanabilir kenar yada seviye tetiklemeli kesme girişi. Bu pin ayrıca TIMER-1 kontrol girişi olarak kullanılabilir
7	P3.4/T0/CONVST	I/O	TIMER/COUNTER-0 girişi ve ADC çevrime başlama için harici tetikleme girişi
-8-9	P1.0 – P1.1	I/O	Bunlar dahili pull-up dirençleri ile 1 e çekilen çift yönlü port pinleridir. Port1 pinlerine dışardan giriş olarak 0 verildiğinde pull-up

8	P1.0/T2	I/O	dirençlerinden dışarıya doğru akım akar.Çıkış 0 dan 1 e çıkarıldığında strong pull-up 1. makine çevriminde aktif olur. Port1 pinlerinin diğer fonksiyonları şöyledir. TIMER/COUNTER-2 girişi. COUNTER-2 aktif olduğunda T2 pininin 1 → 0 geçişlerinde bir artar.
9	P1.1/T2EX	I/O	COUNTER 2 için Capture /Reload tetikleme girişi.
-10	RESET	I	RESET girişi. Bu pinin 1 e çekilmesi aygıtı yeniden başlatır. Bu pin içeride weak pull down ve bir schmitt-trigger ünitesine bağlıdır.
-11-12	P1.2/P1.3	I	Bu pinler sadece dijital giriş olarak kullanılabilir. Bunun için port bitlerine 0 yazılmalıdır. Bu pinlerin analog fonksiyonları ise şunlardır.
11	P1.2/ADC0	I	ADC Giriş Kanalı 0. ADCCON2 ile seçilir
12	P1.3/ADC1	I	ADC Giriş Kanalı 1. ADCCON2 ile seçilir
-			
13	AVDD	S	Analog gerilim girişi. +3V ya da +5 V
-14	AGND	G	Analog toprak. Analog devreler için toprak referans noktası
-16	VREF	I/O	Referans giriş/çıkışı. ADC için referans kaynağıdır.Bu pin bir anahtar vasıtasıyla 2.5 V luk dahili bir referans kaynağına bağlıdır. Ayrıca bu pin, ADCCON1.6 bitinin set edilmesiyle harici bir referans kaynağı olarak kullanılabilir. Bu pin ile AGND arasına 0.1 µF kapasite bağlanmalıdır.
-17	CREF	I	Dahili referans için <i>decoupling</i> girişi.Bu pin ile AGND arsına 0.1 µF kapasite bağlanmalıdır.
-			
18-21	P1.4 – P1.7	I	Bu pinler sadece dijital giriş olarak kullanılabilir. Bunun için port bitlerine 0 yazılmalıdır. Bu pinlerin analog fonksiyonları ise şöyledir.
18	P1.4/ADC2	I	ADC Giriş Kanalı 2. ADCCON2 ile seçilir.
19	P1.5/ADC3	I	ADC Giriş Kanalı 3. ADCCON2 ile seçilir.
20	P1.6/ADC4/DAC0	I/O	ADC Giriş Kanalı 4. ADCCON2 ile seçilir. Ayrıca DAC0 çıkışı olarakta konfigüre edilebilir.
21	P1.7/ADC5/DAC1	I/O	ADC Giriş Kanalı 1. ADCCON2 ile seçilir. 227

Ayrıca DAC1 çıkışı olarakta konfigüre edilebilir.

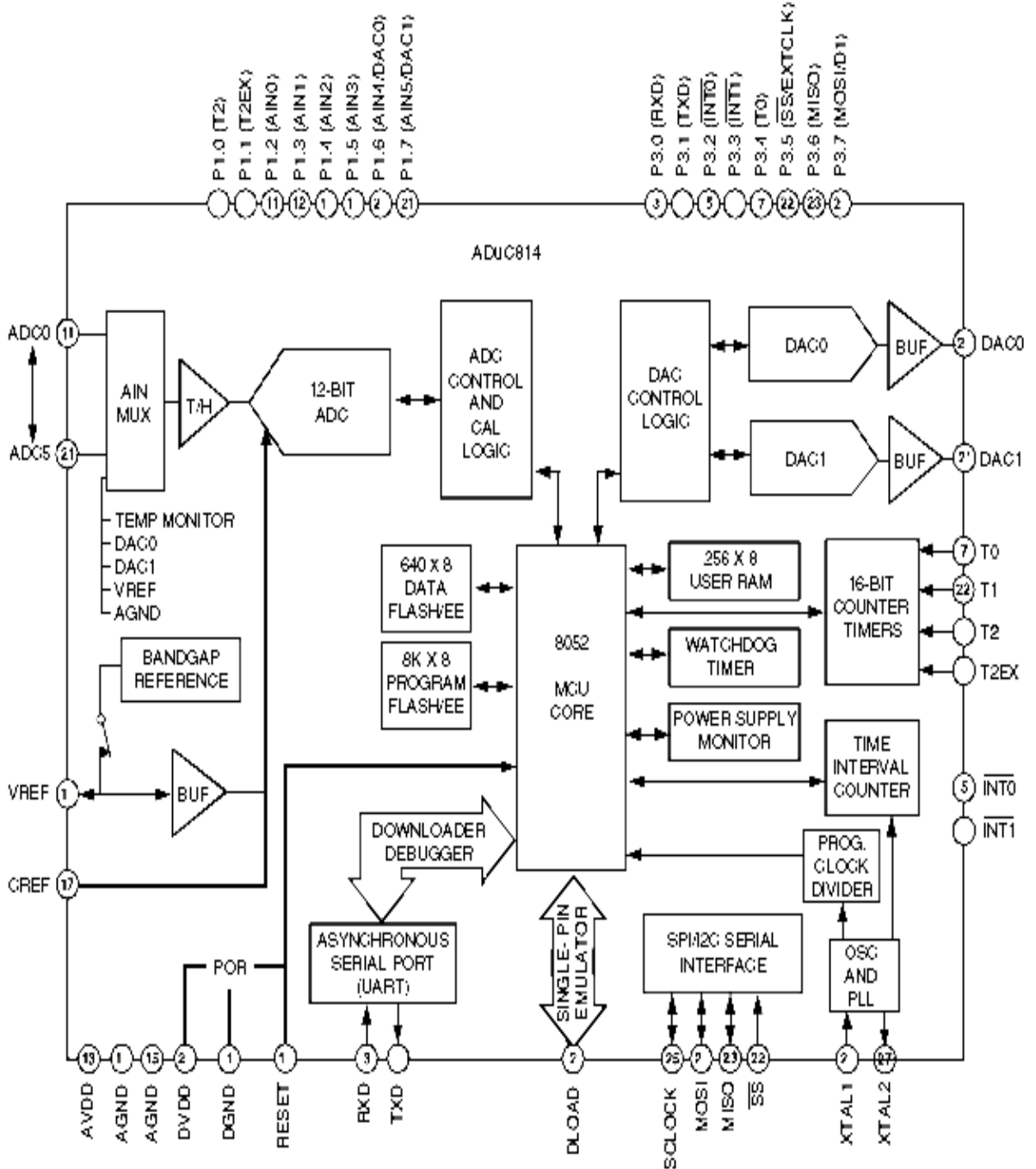
-22-24 çift pinlerine dışardan	P3.5 –P3.7	I/O	Bunlar dahili pull-up dirençleri ile 1 e çekilen yönlü port pinleridir. Port3 giriş olarak 0 verildiğinde pull-up dirençlerinden dışarıya doğru akım akar.Çıkış 0 dan 1 e çıkarıldığında strong pull-up 1. makine çevriminde aktif olur. P3.5-P3.7 pinleri SPI arabirim fonksiyonuna sahiptirler. CFG814 SFR nin 0. bitinin set edilmesi bu fonksiyonu aktifleştirir.
22	P3.5/T1	I/O	Port3 pinlerinin diğer fonksiyonları şöyledir. Timer/counter1 girişi
22	P3.5/SS/EXTCLK	I/O	Aygıt <i>slave</i> modda çalışırken SPI arabirimi için <i>slave</i> seçim girişi.Bu pin ayrıca harici saat girişi olarakta kullanılabilir. Bu durumda PLL devre dışı kalır. Bu fonksiyon CFG814 SFR sinin 1.bitinin set edilmesiyle aktif olur.
23	P3.6/MISO	I/O	SPI <i>master</i> giriş/ <i>slave</i> çıkış için data giriş/çıkış pini
24	P3.7/MOSI	I/O	SPI <i>master</i> çıkış/ <i>slave</i> giriş için data giriş/çıkış pini
-			
25	SCLOCK	I/O	SPI seri arabirim için seri saat girişi
-			
26	XTAL1	I	Kristal osilatör e giriş
27	XTAL2	O	Kristal osilatörden çıkış
-			
28	DVDD	S	Analog pozitif gerilim kaynağı girişi,+3V veya +5V,

- I = Giriş, O = Çıkış, S = Kaynak

8.1.2 HAFIZA (HARİCİ HAFIZA ARAYÜZÜ)

228

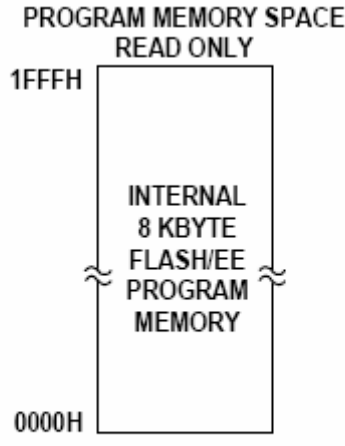
Aşağıda ADuC814 ün ayrıntılı blok diyagramı görülmektedir.



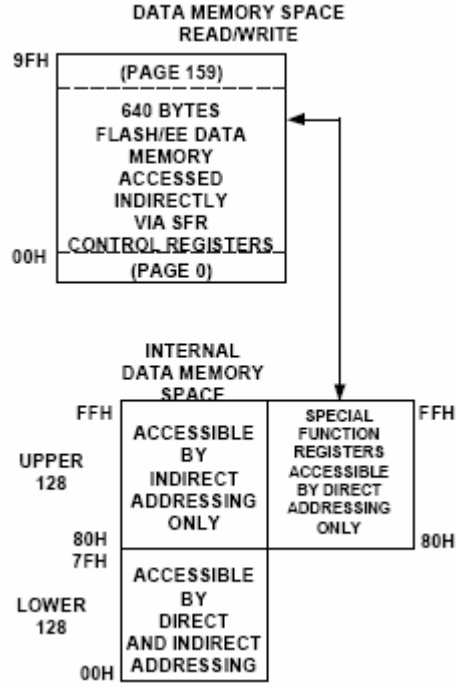
Şekil 8.3 ADuC814 ün ayrıntılı blok diyagramı

8.1.2.1 HAFIZA ORGANİZASYONU

ADuC814 Port0 ve Port2 pinlerine sahip olmadığı için, harici veri ve program belleği arabirimlerini desteklemez. Ama UART seri port girişi ile devredeyken de programlanabilen 8K Flash/EE program belleğine sahiptir. Veri belleği ise, 8052 ile birlikte gelen 256 byte RAM ve 128 byte SFR'den oluşur ayrıca parametresi saklamak amacıyla 640 byte Flash/EE (EEPROM) hafızaya da sahiptir.



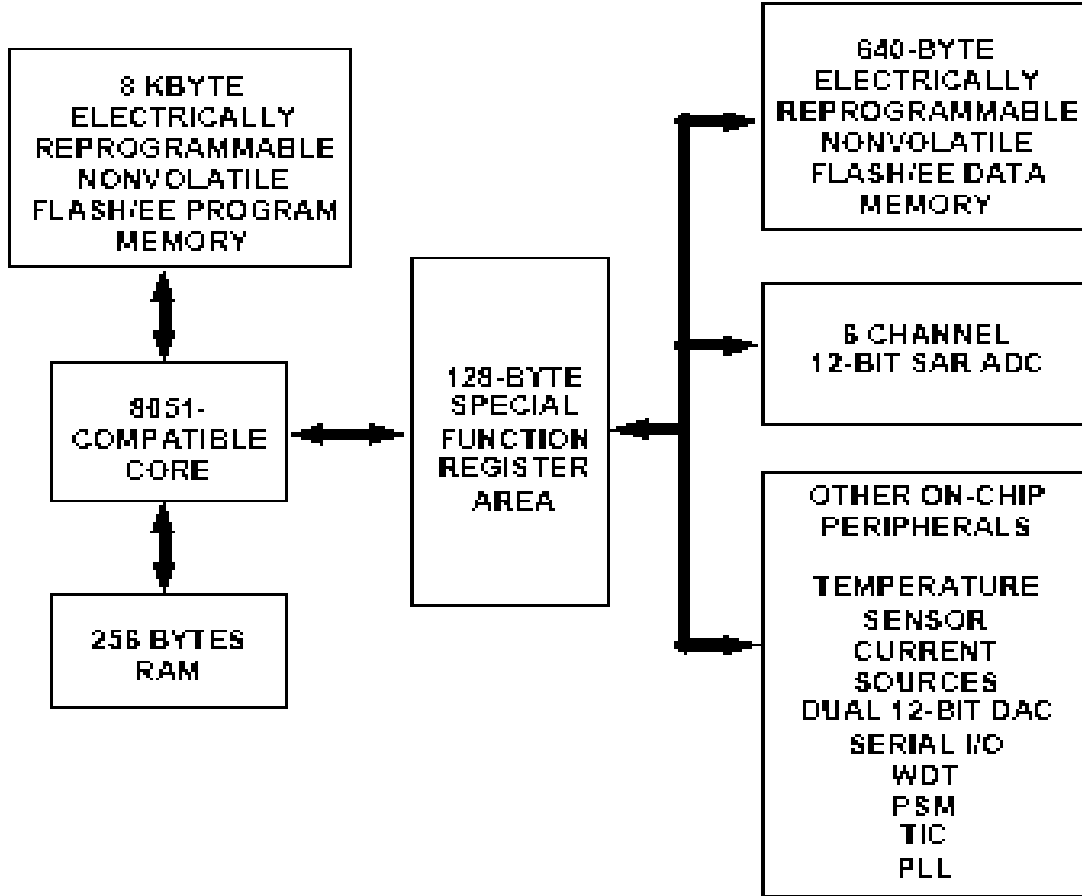
Şekil 8.4.a Program Belleği Haritası



Şekil 8.4.b Veri Belleği Haritası

8.1.3 ADuC814 SFR'leri

Doğrudan adreslemeyle erişilebilen SFR'ler, işlemci ile diğer çevresel üniteler arasında arabirim görevi üstlenir. Aşağıda ADuC814'ün SFR alanı aracılığıyla programlama modelini gösteren blok diyagram verilmiştir.



ISPI FFH 0	WCOL FEH 0	\$PE FDH 0	\$PIM FCH 0	CPOL FBH 0	CPHA FAH 0	SPR1 FBH 0	SPR0 ⁶ F8H 0	BITS	SP102H ⁷ F7H 04H	DAC0L F7H 04H	DAC0H FAH 04H	DAC1L FBH 04H	DAC1H FCH 04H	DAC02H FDH 04H	RESERVED	RESERVED
								BITS	B ⁸ F7H 04H	ADCCFBL F7H 04H	ADCCF8H F2H 04H	ADCSAHL FBH 04H	ADCSANH F4H 04H	ADCCO8H F5H 04H	RESERVED	SPDAT F7H 04H
D1 EFH 0	D1EN EEH 0	D0 EDH 0		D0EN EBH 0				BITS	DCON ⁹ EBH 04H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	ADCCO1H EFH 04H
								BITS	ADC ¹⁰ EBH 04H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
ADC1 DFH 0	ADCSP1 DEH 0	CCONV DDH 0	\$CONV DCH 0	CS0 DBH 0	CS2 DAH 0	CS1 DBH 0	CS0 DBH 0	BITS	ADCCO2H ¹¹ DBH 04H	ADCCATL DH 04H	ADCCATH DAH 04H	RESERVED	RESERVED	RESERVED	RESERVED	FSMCON DFH 04H
CY D7H 0	AC D8H 0	FD D6H 0	RS1 D4H 0	RS0 D3H 0	OV D2H 0	FI D1H 0	P D0H 0	BITS	FSM ¹² D0H 04H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	PLCON D7H 04H
TF2 CFH 0	EXF2 CEH 0	RCLK CDH 0	TCLK CCH 0	EXEN2 CBH 0	TR2 CAH 0	CNT2 C8H 0	CAP2 C6H 0	BITS	T2CON CBH 04H	RESERVED	RCAP2L CAH 04H	RCAP2H CBH 04H	TL2 CCH 04H	TH2 CDH 04H	RESERVED	RESERVED
PRE3 C7H 0	PRE2 C8H 0	PRE1 C6H 0	PRE0 C4H 0	WD1R C3H 0	WDS C2H 0	WD C1H 0	W0WR C0H 0	BITS	W0CON ¹³ C0H 04H	RESERVED	RESERVED	RESERVED	NOT USED	RESERVED	SA0L C6H 04H	RESERVED
PS1 BFH 0	PADC BEH 0	PT2 BDH 0	P0 BCH 0	PT1 BBH 0	PX1 BAH 0	PT0 BBH 0	PXD B6H 0	BITS	IP BBH 04H	EOH BH 04H	ETM1 BAH 04H	ETM2 BBH 04H	EDATA1 BCH 04H	EDATA2 BDH 04H	EDATA3 BEH 04H	EDATA4 BFH 04H
RD B7H 1	WR B8H 1	T1 B6H 1	T0 B4H 1	INT1 B3H 1	INT0 B2H 1	TxD B1H 1	RxD B0H 1	BITS	RS ¹⁴ B0H FFH	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	NOT USED
EA AFH	EADC AEH	ET2 ADH	E0 ACH 0	ET1 ABH 0	EX1 AAH 0	ET0 ABH 0	EX0 A6H 0	BITS	IE ¹⁵ AH 04H	IEP2 AH 04H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
									NOT USED	TIMECON AH 04H	HTIMEC A2H 04H	SEC A3H 04H	MIN A4H 04H	HOUR A5H 04H	INT VAL A6H 04H	NOT USED
SM0 9FH 0	SM1 9EH 0	SM2 9DH 0	REN 9CH 0	TB0 9BH 0	RB0 9AH 0	T1 98H 0	R1 97H 0	BITS	SCON 98H 04H	SBUF 99H 04H	RESERVED	RESERVED	CP9814 9CH 04H	NOT USED	NOT USED	NOT USED
								BITS								
						T2EX 92H 0	T2 91H 0	BITS	P1 ¹⁶ 90H FFH	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED
TF1 8FH 0	TR1 BEH 0	TF0 BDH 0	TR0 BCH 0	IE1 BBH 0	IT1 BAH 0	IE0 BBH 0	IT0 B6H 0	BITS	TCON ¹⁷ 88H 04H	TWCO 89H 04H	TL0 BAH 04H	TL1 BBH 04H	TH0 BCH 04H	TH1 BDH 04H	RESERVED	RESERVED
									NOT USED	SP 81H 07H	DPL 82H 04H	DPH 83H 04H	RESERVED	RESERVED	RESERVED	PCON 87H 04H

Şekil 8.5 SFR Adresleri ve Başlangıç Değerleri

8.1.4 On-Chip DONANIM KAYNAKLARI

Endüstri standardı 8052 yapısına uygun donanım özellikleri bu bölümde incelenecektir.

8.1.4.1 I/O PORTLARI

ADuC814 yapısında 2 paralel I/O portu bulunur. Standart 8052 yapısında bulunan data ve adres bus portları (P0-P2) ADuC814’ de bulunmaz. Bulunan portlarda ise bir çok ek ikinci özellik mevcuttur.

Port1,8-bitlik port olup P1 SFR’sinden direkt kontrol edilir(SFR address-90 hex).Port1 pinleri iki ayrı gruba ayrılmıştır.

Port1’deki P1.0 ve P1.1 pinleri dahili pull-up’lı çift yönlü dijital I/O’durlar.Eğer P1 SFR’si yoluyla P1.1 ve P1.0’a 1 yazıldıysa dahili pull-up dirençleriyle high’a çekilir.Bu durumda giriş olarak kullanılabilirler.0 yazıldığında lojik “0” vereceklerdir(VOL ve sink akımı 10 mA olup diğer pinlerde 1.6 mA’dır.).Diğer muhtelif görevleri tablo XVI’de gösterilmiştir.

Pin	İkinci Özellik
P1.0	T2(Timer/counter 2 Harici Giriş)
P1.1	T2FX(Timer/counter 2 ,capture/reload trigger)

Diğer Port1 pinleri (P1.2-P1.7) sadece analog giriş (ADC),analog çıkış(DAC) veya dijital giriş pini olarak kullanılabilirler.Power-on’da analog giriş olarak yapılandırılır (1 yazılıdır).Dijital input olmaları için 0 yazılmaları gerekir.

Port 3 dahili pull-up’ı bidirectional dijital I/O’durlar.Port 3 SFR(SFR address 80 hex) ile yönlendirilirler.Port 3 pinlerine 1 yazılırsa giriştirler.

Diğer Port 3 pin fonksiyonları aşağıdaki gibidir.

Pin	Alternate function
P3.0	RXD(UART giriş pin) (or Serial Data I/O mode 0’da)
P3.1	TXD (UART çıkış pin) (or Serial Clock Çıkış Mode 0’da)
P3.2	INT0 (Dış kesme 0)
P3.3	INT1 (Dış kesme 1)
P3.4	T0 (timer/counter 0 harici giriş)
P3.5	T1(timer/counter 1 harici giriş) SS(SPI slave mod’da Slave Seçimi)
P3.6	MISO (SPI mod’da, master giriş,Slave çıkış)
P3.7	MOSI (SPI mode, Master Çıkış, Slave Giriş)

Ek Dijital Çıkış Pinleri, P1.0 ve P1.1, yüksek akımlı genel amaçlı I/O olarak kullanılabilir (10 mA sink).

8.1.4.2 TIMER/COUNTER' lar (3 Kanal, 16-bit)

ADuC814 üç adet 16-bit Timer/Counter'a sahiptir; Timer0, Timer1 ve Timer2. Timer/Counter'lar donanımsal olarak chipe eklenmiştir. Bu eklemenin amacı işlemci çekirdeğinin yazılımsal olarak görevinin azaltmaktır. Her Timer/Counter iki adet 8-bitlik register'lara sahiptir; TH_X ve TL_X (X=0,1 veya 2). Bu yapı aynı 8051'de olduğu gibidir. Aralarındaki fark ise 8051'de Timer2'nin bulunmamasıdır. Bu fark dışında çalışma mantığıda 8051'de olduğu gibidir. Bu yapıyı daha önceki bölümlerde anlatmıştık (13. bölümün 3 kısmı Zamanlayıcı/Sayıcılar kısmı), bu bölümden daha ayrıntılı bilgi edinebilirsiniz. 8051'den farklı olan Timer2 kısmını inceleyelim;

8.1.4.2.1 T2CON REGISTERİ

T2CON

T2CON Timer/Counter 2 Control Register

SFR Adresi C8H

Power-On Reset Değeri 00H

Bit Adreslenme Var

7	6	5	4	3	2	1	0
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CNT2	CAP2

Bit	İsim	Açıklama
7	TF2	Timer 2 taşma bayrağı RCLK ve TCLK =1 iken set edilmez. Hardware olarak set, software olarak clear edilir. Timer2'nin taşmasında donanımsal olarak set edilir.
6	EXF2	Timer2 harici bayrak. EXEN2=1 durumunda Capture veya reload, T2EX'te negatif bir geçişe neden olursa donanım tarafından set edilir. Yazılım tarafından "0"lanır.
5	RCLK	Alıcı Saat Girişi Etkinleştirme Biti Kullanıcı tarafından set edilirse Timer2 taşma darbeleri Seri Port Mod1 ve Mod 3 için Alıcı Saat girişi olarak kullanılır. Kullanıcı tarafından "0"lanırsa Timer1 taşma darbeleri alıcı saat girişi olarak kullanılır.

4	TCLK	Verici Saat Girişi Etkinleştirme Biti Kullanıcı tarafından set edilirse Timer2 taşma darbeleri Seri Port Mod1 ve Mod 3 için Verici saat girişi olarak kullanılır. Kullanıcı tarafından "0"lanırsa Timer1 taşma darbeleri verici saat girişi olarak kullanılır.
3	EXEN2	T2 Harici Etkinleştirme bayrağı Eğer Timer2 Seri port Saat girişi olarak kullanılmıyorsa, bu bit set edildiğinde, capture veya reload işlemi, T2EX üzerindeki negatif geçişlerde meydana gelir. Kullanıcı tarafından "0"lanırsa Timer2 T2EX üzerindeki olayları işleme sokmaz.
2	TR2	Timer 2 Start/Stop kontrol Biti Başlatmak için set edilir ,durdurmak için "0"lanır (kullanıcı tarafından).
1	CNT2	T2'yi Timer/Counter seçme biti Counter için set edilir(harici T2 pininden giriş), timer için (on-chip çekirdek saat girişi) "0"lanır.
0	CAP2	T2'yi capture / reload seçme biti EXEN2=1 iken, bu bit set edilirse T2EX'deki negatif geçişlerde capture etkinleştirilir. EXEN2=1 iken bu bit "0"lanırsa Timer2 taşmaları ile auto-reload veya T2EX'deki negatif geçişler aktiflenir.RCLK=1 veya TCLK=1 olduğu zaman bu bit göz ardı edilir ve timer2 Auto-reload modda çalışmaya zorlanır.

Timer/Counter2 Data Registerları

Timer/Counter ile ilişkili 8 bitlik iki data register'ı vardır.Bunların her ikisi de Timer Data Register'ları veya Timer Capture/Reload Register'ları olarak kullanılabilirler.

TH2 ve TL2

Timer 2, data high byte ve low byte.
SFR Adresi = CDhex, CChex sırasıyla

RCAP2H ve RCAP2L

Timer 2, Capture/Reload byte ve low byte.
SFR Address = CBhex, CAhex sırasıyla.

8.1.4.2.2 TIMER/COUNTER2 ÇALIŞMA MODLARI (16-bit Autoreload/Capture Modu)

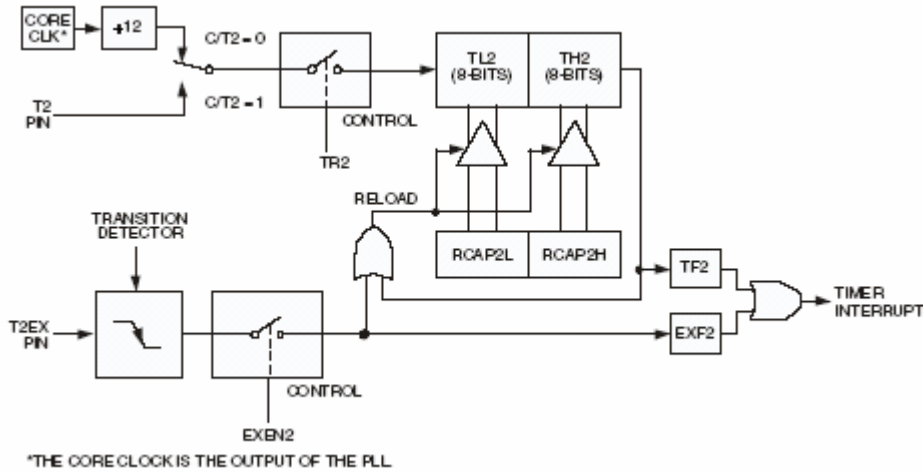
Aşağıda timer/counter2 çalışma modlarını tanımlanmaktadır.Çalışma modları TableXX'de belirtilen T2CON SFR'deki bitlerden seçilir.

RCLK ya da TCLK	CAP2	TR2	MOD
0	0	1	16-bit Autoreload
0	1	1	16-bit Capture
1	X	1	Baud Rate
X	X	0	OFF

T2CON için Mod Seçim Tablosu

16 Bit Auto-Reload Modu:

Auto-Reload modunda iki seçenek vardır. Bunlar T2CON'daki EXEN2 bitinden seçilir. EXEN2=0 ise, timer2 çalıştığında sadece TF2'yi set etmez, ayrıca RCAP2L ve RCAP2H registerlarındaki 16 bit değeriyle timer 2 registerlarının tekrar yüklenmesini sağlar. EXEN2=1 ise Timer2 yukarıdakileri yapmaya deva eder. Ama ek olarak, harici T2EX girişindeki 1'den 0'a geçiş, 16 bit reload'u tetikleyecektir ve EXF2'yi set edecektir. Aşağıdaki Figure40'da tekrar yükleme modu bulunmaktadır.



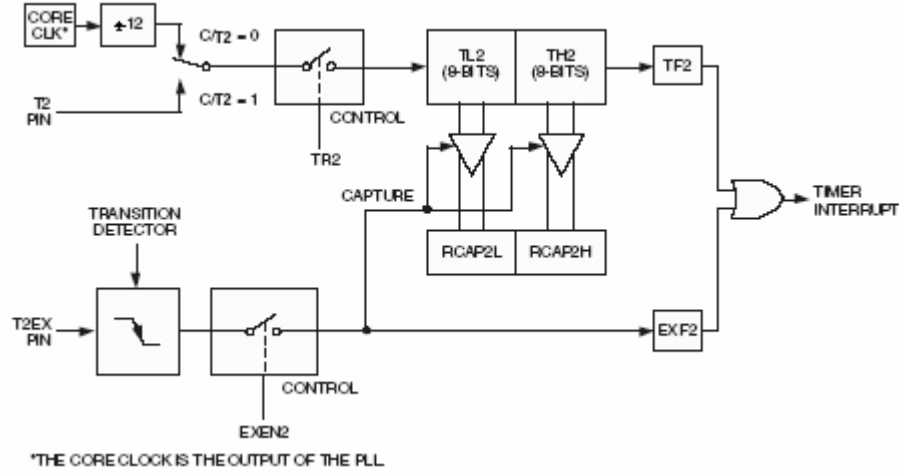
Şekil 8.6 Timer/Counter2, 16-bit Autoreload Mod

16 Bit Capture (Yakalama) Modu:

Yakalama modunda da 2 seçenek bulunmaktadır. Bunlar T2CON'daki EXEN2 bitlerinden seçilir. EXEN2= 0 ise timer 2, TF2'yi ve timer 2 overflow bitini set eden 16 bitlik timer veya counter'dır. EXEN2=1 durumdayken de yukarıdaki gibi işlem yapar, ancak harici T2EX girişindeki 1'den 0'a geçiş timer2 registerlarında akım değerinin oluşmasını sağlar. Bunun amacı RCAP2L ve RCAP2H registerlarında yakalamadır. Ek olarak T2EX'deki geçiş T2CON'daki EXF2 bitlerinin set olmasını sağlar ve TF2 gibi EXF2 bir kesme oluşturabilir. Capture modu Figure41'dedir.

Baud rate generator modu RCRK= 1 ve/veya TCLK=1 yapılarak seçilir. Başka bir durumda timer2 baud rate oluşturmak için kullanılıyorsa, TF2 kesme bayrağı kalkmaz. Bu modda EXF2 bayrağı hala kesme oluşturabilir ve bu üçüncü harici kesme olarak kullanılabilir.

Baud rate generator, UART seri port işlemlerinin anlatıldığı sayfalarda tanımlanmıştır.



Şekil 8.7 Timer/Counter2, 16-bit Capture Mod

Baud rate Timer2 kullanılarak da oluşturulabilir. Timer2 kullanmak Timer1 kullanmaya benzer. Timer bir bit alınıp/verilmeden önce 16 kere overflow olmalıdır. Timer2; 16 bitlik otoreload moduna sahip olduğundan geniş baud rate bandı kullanmak mümkündür.

Bu sebeple; timer2 baud rate oluşturmak için kullanılır. Her 2 clock cycle'da timer bir artırılır. Her core machine cycle'da değil. Bu sebeple; timer1'den 6 kat hızlı artar ve baud rate de 6 kat hızlıdır. Timer2 16bit otoreloaded özelliğine sahip olduğu için; çok düşük baud rateler hala mümkündür.

8.1.4.3 SERİ PORT (Full Duplex UART)

ADuC814 için UART Seri Portuyla haberleşme bir çok yönden standart 8051 yapısıyla aynıdır. Bu yüzden UART modları 0-3 ve Timer 1 tabanlı Baud Rate üretimi hakkında detaylı bilgi için "3.4 Standart Seri Haberleşme Arabirimi" bölümünü inceleyiniz.

8051 Standardına ek olarak 8052' de olduğu gibi ADuC814'de de TIMER/COUNTER-2 bulunduğu için bu bölümde TIMER/COUNTER-2 ile Baud Rate hesabını inceleyeceğiz.

TIMER2 TABANLI BAUD RATE ÜRETİMİ

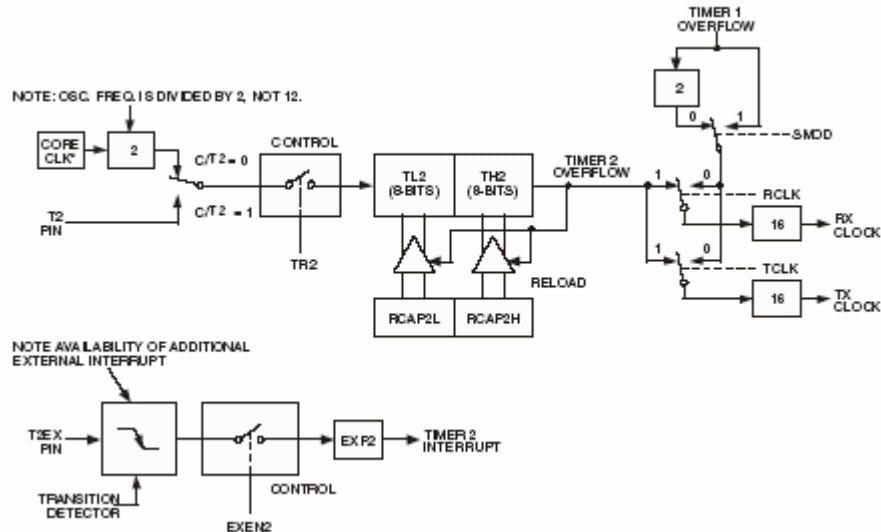
Baud rate Timer2 kullanılarak da oluşturulabilir. Timer2 kullanmak Timer1 kullanmaya benzer. Timer bir bit alınıp/verilmeden önce 16 defa overflow olmalıdır.

Timer2; 16 bitlik Auto-Reload moduna sahip olduğundan geniş baud rate bandı kullanmak mümkündür.

Bu sebeple; timer2 baud rate oluşturmak için kullanılır. Her 2 clock cycle'da timer bir arttırılır. Her core machine cycle'da değil. Bu sebeple; timer1'den 6 kat hızlı artar ve baud rate de 6 kat hızlıdır. Timer2 16bit otoreloaded özelliğine sahip olduğu için; çok düşük baud rateler hala mümkündür.

Timer2 T2CON'daki RCLK'yı ve/veya TCLK'yı set ederek baud rate generator olarak seçilir. Alım ve gönderim için baud rateler eş zamanlı olarak farklıdır. RCLK ve/veya TCLK'yı set etmek Timer2'yi baud rate generator moduna çeker. Bu durumda; baud rate aşağıdaki tablodan hesaplanabilir.

Ideal Baud	Core CLK	RCAP2H Value	RCAP2L Value	Actual Baud	% Error
19200	16.78	-1 (FFh)	-27 (E5h)	19418	1.14
9600	16.78	-1 (FFh)	-55 (C9h)	9532	0.7
2400	16.78	-1 (FFh)	-218 (26h)	2405	0.21
1200	16.78	-2 (FEh)	-181 (4Bh)	1199	0.02
9600	2.10	-1 (FFh)	-7 (FBh)	9362	2.4
2400	2.10	-1 (FFh)	-27 (ECh)	2427	1.14
1200	2.10	-1 (FFh)	-55 (D7h)	1191	0.7



Şekil 8.8 Timer2,UART Baud Rate

8.1.4.4 KESMELER

Standart 8051 yapısında bulunan kesme SFR'lerine ek olarak 8052 de olduğu gibi ADuC814' de de IEIP2 ikincil kesme aktifleme ve öncelik registerı bulunmaktadır. Bu bölümde bu registerın bit özellikleri ve Kesme önceliği anlatılmıştır. Diğer ilgili registerlar hakkında kapsamlı bilgi bölüm 3.5' de "Kesmeler" konu başlığı altında bulunmaktadır.

8.1.4.4.1 IEIP2 REGISTERİ

IEIP2

IEIP2 İkincil Kesme Aktifleme ve Öncelik Registerı

SFR Adresi A9H

Power-On Reset Değeri A0H

Bit Adreslenme Yok

7	6	5	4	3	2	1	0
----	PTI	PPSM	PSI	----	ET1	EPSM	ES1

Bit	İsim	Açıklama
7	----	Sonrası için ayrılmıştır
6	PTI	Kullanıcı tarafından TIC kesme önceliğinin seçilmesi için atanır (1=Yüksek)
5	PPSM	Kullanıcı tarafından PSM kesme önceliğinin seçilmesi için atanır (1=Yüksek)
4	PSI	Kullanıcı tarafından SPI kesme önceliğinin seçilmesi için atanır (1=Yüksek)
3	----	Sonrası için ayrılmıştır.Bu bit 0 seçilmelidir.
2	ET1	Kullanıcı tarafından TIC kesmesini Açma/Kapama (1/0) için atanır
1	EPSM	Kullanıcı tarafından PSM kesmesini Açma/Kapama (1/0) için atanır
0	ES1	Kullanıcı tarafından SPI kesmesini Açma/Kapama (1/0) için atanır

8.1.4.4.2 KESME ÖNCELİĞİ

Her interrupt için interrupt öncelik registerleri kullanıcıya 2 öncelik seviyesinden birini seçme hakkını tanırken, interrupt enable registerleri kullanıcı tarafından interrupt işlemine izin vermek için ayarlanır. Yüksek önceliğin interruptı, düşük öncelik interruptının servis rutinini kesebilir ve eğer 2 farklı seviyenin interruptları aynı anda oluşursa, daha yüksek seviye interruptı ilk olarak çalışır. Bir interrupt, kendisiyle aynı öncelik seviyesindeki interrupt tarafından kesilemez. Eğer aynı öncelik seviyesinin 2 interrupt'ı eş zamanlı olarak çalışırsa, aşağıdaki tabloda olduğu gibi bir polling sequence ortaya çıkar.

Source	Priority	Description
PSMI	1(Highest)	Power Supply Monitor Interrupt
WDS	2	Watchdog Interrupt
IE0	3	External Interrupt 0
RDY0/RDY1	4	ADC Interrupt
TF0	5	Timer/Counter 0 Interrupt
IE1	6	External Interrupt 1
TF1	7	Timer/Counter 1 Interrupt
ISPI	8	SPI Interrupt
RI + TI	9	Serial Interrupt
TF2 + EXF2	10	Timer/Counter 2 Interrupt
TII	11(Lowest)	Time Interval Counter Interrupt

Kesme Önceliği Sıralaması

INTERRUPT VEKTÖRLERİ:

Bir interrupt oluştuğunda PC içeriği yığına atılıp içerisine o kesmeye ait vektör adresi atanır. Kesme servis rutin işleminden döndükten sonra ise PC stackten geri çağrılır böylece program kaldığı yerden devam etmiş olur

Source	Vector Address
IE0	0003 Hex
TF0	000B Hex
IE1	0013 Hex
TF1	001B Hex
RI + TI	0023 Hex
TF2 + EXF2	002B Hex
RDY0/RDY1 (ADC)	0033 Hex
ISPI	003B Hex
PSMI	0043 Hex
TII	0053 Hex
WDS (WDIR = 1) ¹	005B Hex

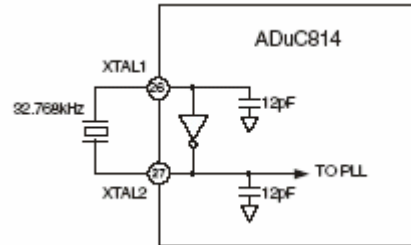
Kesme Vektör Adresleri

8.1.4.5 DONANIM DİZAYN TEKNİKLERİ

Bu bölüm ADuC814'i bir donanıma entegre ederken dikkat edilmesi gereken donanım dizayn özelliklerini açıklar.

8.1.4.5.1 CLOCK OSİLATÖRÜ

ADuC814 için clock kaynağı harici kaynaktan veya dahili clock osilatöründen elde edilebilir. Dahili clock osilatörü kullanmak için, XTAL1 ve XTAL2 arasına paralel bir resonant kristali bağlanır ve her pinden toprağa şekilde gösterildiği gibi bir kapasitör bağlanır. Ancak ADuC814 içerisinde 12pF'lık iki kapasitör ile bu işlem gerçekleştirildiğinden dışarıdan ek bir kapasitör kullanımına gerek yoktur.



Şekil 8.9 Harici Paralel Resonant Kristalinin Bağlantısı

8.1.4.5.2 GÜÇ TÜKETİMİ

Verilen çekirdek değerleri DV_{DD} pininden çekilen akımı ifade eder. DAC ve ADC modüllerini süren AV_{DD} pininden de akım çekilebilir ve bu modüller kullanımda olmadığında yazılımla kapatılabilir. Diğer çevre birimleri çok düşük akım çeker. ADuC814 besleme kaynağının sağlaması gereken toplam akım paralel ve seri I/O pinleri ve DAC akımlarının toplamıdır. Ayrıca Flash/EE bellek silinirken DV_{DD} 'den çekilen akım 5 mA artar.

8.1.4.5.3 GÜÇ TASARRUF MODLARI

PCON.0 ve PCON.1 bitleri set edilerek yonga normal moddan "idle mode"a veya "full power down mode"a geçer."Idle mode"da PLL çalışmazken osilatör çalışmaya devam eder. Çevre birimlerinin saat girişleri aktif olduğundan çalışmaya devam eder. Yığın işaretçisi, program counter ve diğer dahili yazmaçlar değerlerini tuttuklarından dolayı CPU durumu korunur. Port pinleri ve DAC çıkışları da durumlarını korur. Herhangi bir aktif kesme yada donanım reset'i ile bu moddan çıkılır.

"Power down mode"da PLL çalışmaz ve çekirdeğe saat işareti uygulanmaz. Yonga üzerindeki osilatör PLLCON.OSC_PD bitine bağlı olarak durdurulabilir veya çalışmaya devam edebilir. Osilatörden direk sürülen TIC modülü haricindeki diğer bütün çevre birimleri bu modda çalışmaz. Port pinleri durumlarını korurken DAC çıkışları yüksek empedans durumuna geçer. Bu modda ADuC814 5 μ A akım çeker. "Power down mode"u sonlandırmanın beş yolu vardır:

Reset Pinine Reset İşareti Uygulamak

Tüm yazmaçlara default değerleri yüklenir ve işlemci normal moda döner. Reset işareti sonlandırıldığında program işletimi reset vektöründen devam eder.

Besleme Devinimi

Tüm yazmaçlara default değerleri yüklenir. Reset işareti sonlandırıldığında program işletimi reset vektöründen devam eder.

Time Interval Counter (TIC) Kesmesi

"Power down mode" sonlandırılır ve TIC kesme vektörüne gidilir. TIC kesme alt programı işletilir ve alt programın sonundaki RETI komutundan sonra işlemciyi "power down mode"a sokan komuttan sonraki komuta atlanır.

SPI Kesmesi

"Power down mode" sonlandırılır ve SPI kesme vektörüne gidilir. SPI kesme alt programı işletilir ve alt programın sonundaki RETI komutundan sonra işlemciyi "power

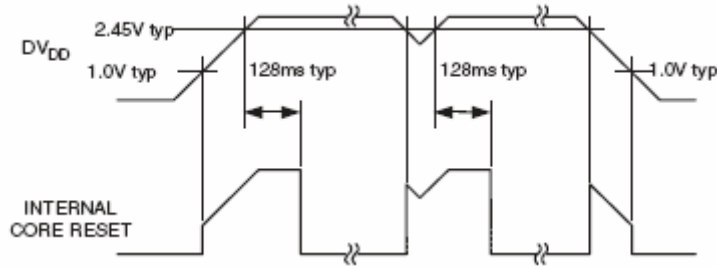
down mode”a sokan komuttan sonraki komuta atlanır. Bu prosedürün çalışması için PCON SFR içindeki SERIPD bitinin set edilmiş olması gerekir.

INT0 Kesmesi

“Power down mode” sonlandırılır ve INT0 kesme vektörüne gidilir. INT0 kesme alt programı işletilir ve alt programın sonundaki RETI komutundan sonra işlemciyi “power down mode”a sokan komuttan sonraki komuta atlanır. “Power down mode”a geçişi sağlayan komutun iki makine çevrimlik süresince INT0 pini sıfıra çekilmemelidir. Bu prosedürün çalışması için PCON SFR içindeki INTOPD bitinin set edilmiş olması gerekir.

8.1.4.5.4 POWER-ON RESET

ADuC814 içine POR (Power-ON Reset) modülü yerleştirilmiştir. DV_{DD} 2.45 V’un altına düştüğünde POR ADuC814 ‘ü resette tutar. DV_{DD} 2.45 V’un üstüne çıktığında resetten çıkmak için dahili bir “timer”in 128 ms sayması beklenir. Bu zaman zarfında kullanıcının kullandığı güç kaynağının minimum 2.7 V’ a çıkması gerekir. POR ADuC814 ‘ü güç kaynağı 1 V’ un altına düşene kadar resette tutar.

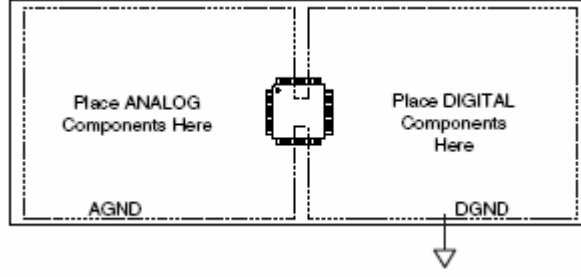


Dahili POR İşlemi

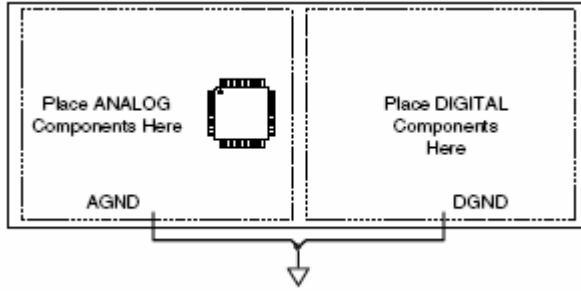
8.1.4.5.5 TOPRAKLAMA VE KART SERİM ÖNERİLERİ

Bütün yüksek çözünürlüklü veri dönüştürücülerde olduğu gibi ADuC814 ‘ün topraklanmasına ve PCB devre serimine özen gösterilmelidir.

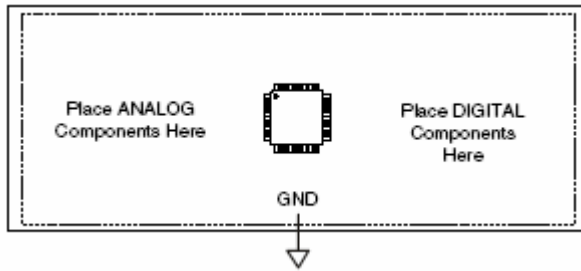
ADuC814 ‘ün analog ve sayısal toprak için iki farklı pini olmasına rağmen (AGND ve DGND) bu pinler, devre analog ve sayısal olmak üzere iki bloktan oluşuyormuş gibi tasarlandığında birbirine çok yakın olmadığı sürece iki ayrı toprak yüzeyine bağlanmamalıdır.



Sayısal ve analog toprak yüzeylerinin aynı noktaya (örneğin besleme kaynağının toprağına) bağlanacak şekilde tasarlanan sistemlerde bir toprak döngüsünün oluşması ihtimaline karşı toprak mümkün mertebe ADuC814' ten uzak noktaya bağlanmalıdır. Bu durumda AGND ve DGND pinleri alttaki şekildeki gibi analog toprak noktasına bağlanmalıdır. Ancak DV_{DD} pininden beslenen sayısal elemanların toprağının DGND, AV_{DD} pininden beslenen analog elemanların toprağının AGND olmasına dikkat edilmelidir.



Birtek toprak noktası olacak şekilde tasarlanan sistemlerde, sayısal döngü akımının analog elemanlardan akmamasını ve aynı şekilde analog döngü akımının sayısal elemanlardan akmamasını sağlayacak şekilde sayısal ve analog elemanlar kartın iki ayrı yarısına yerleştirilmelidir.

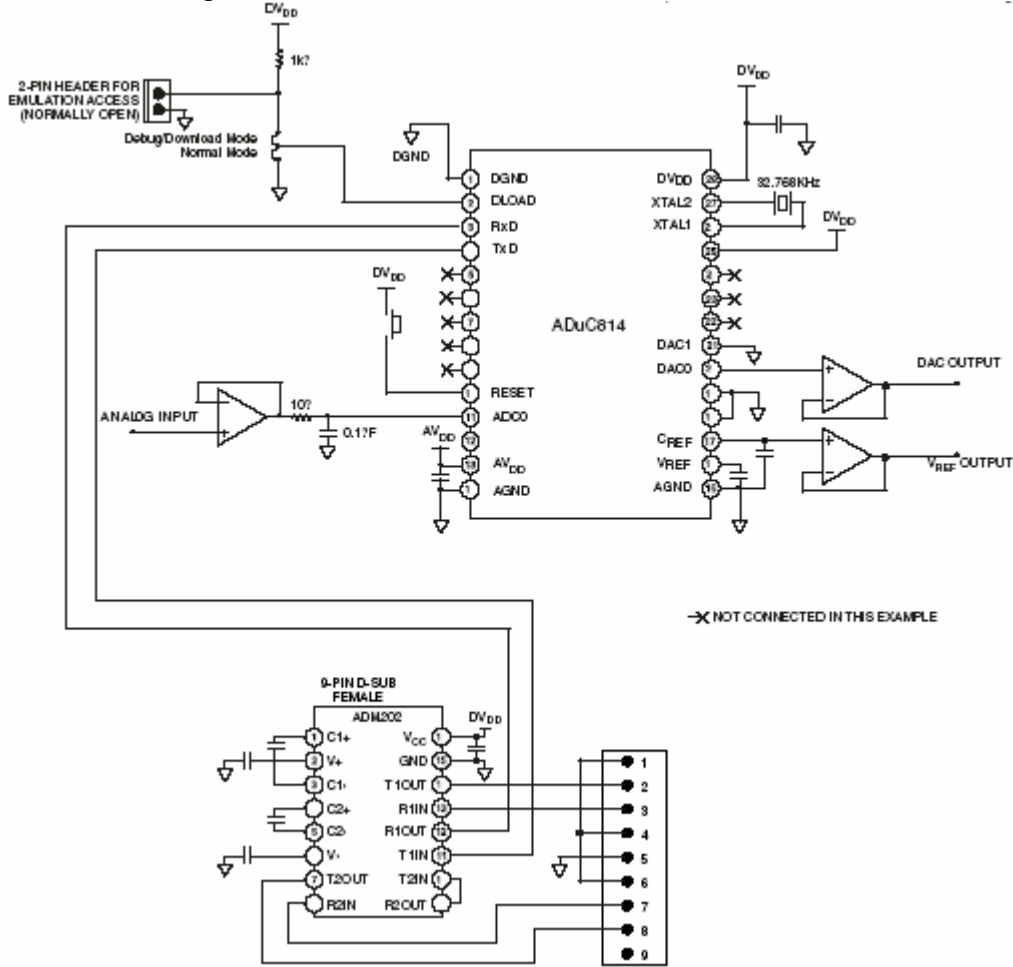


Tüm bu senaryolarda ve daha karmaşık gerçek uygulamalarda akımın besleme kaynağından toprağına akış şekline dikkat edilmelidir. Akımın bir noktaya (elemana) gidiş ve dönüş yolları mümkün olduğunca yakın tutulmalıdır. Mümkün olduğunca toprak yüzeyindeki süreksizliklerden kaçınılmalı ve toprak yüzeyine olan bağlantıların direkt ya da çok kısa bir yoldan olmasına dikkat edilmelidir.

ADuC814' ün sayısal girişlerine hızlı lojik işaretler (örneğin Yükselme/Düşme zamanı $< 5\text{ns}$) bağlanacağı zaman ADuC814' ün giriş pinlerindeki Yükselme/Düşme zamanını 5 ns' den yukarı çekmek amacıyla ilgili her hatta 100 Ω veya 200 Ω seri dirençler eklenmelidir. Aksi takdirde kapasitif etki oluşarak ADC dönüşümlerindeki keskinlik azalır.

8.1.4.5.6 DİKKAT EDİLECEK DİĞER DONANIM HUSUSLARI

Devre üzerinde debug, emulasyon ve programlama seçeneklerini kolaylaştırmak için donanıma bazı basit bağlantılar eklenebilir.



Tipik ADuC814 Bağlantı Diyagramı

Devre Üzerinde Seri Yüklemeye Giriş:

ADuC814 ün devre üzerinde programlanabilme özelliğinden yararlanabilmek için, UART modülüne bağlantı yapılması gereklidir. Eğer PC den yükleme yapılıyorsa seviye çevrimi için harici bir RS232 entegresi gerekir.

UART bağlantısından başka kullanıcı yongayı yükleme moduna geçirmek için DLOAD pini $1k\Omega$ direnç üzerinden 1 e çekilmelidir. Daha sonra ADuC814 reset edilerek seri yükleme başlatılmış olur. Normal moda dönmek için DLOAD pini 0 a çekilip ADuC814 reset edilmelidir.

Gömülü Seri Port Debugger:

Donanım açısından seri port debug moda giriş, seri yüklemeye giriş işlemleri ile aynıdır. Aslında seri debug ve seri yükleme iki farklı şekilde kullanılan tek bir işlem modu olarak düşünülebilir. ADuC814 te seri mod debugger kapsamıştır.
Tek Pin Emulasyon Modu:

Bu modu etkinleştirmek için kullanıcı yine DLOAD pinini $1k\Omega$ direnç üzerinden 1 e çekmelidir. Sonra emulatör 2-pin header a bağlanır. Bu header ın polaritesine dikkat edilmelidir.

Friction Lock sağdayken toprak pini iki pinden düşüğü olmalıdır.

8.2 ADuC814' ün İLAVE YENİ ÖZELLİKLERİ

Bu bölümde endüstri standardı 8052 uyumlu core da bulunmayan ADuC814 özellikleri incelenecektir.

8.2.1 ON-CHIP PROGRAM DOWNLOAD/DEBUG ARAYÜZÜ (HARİCİ DONANIM YOK!)

Devre içi programlamayı kolaylaştırmak için ve devre içi debug ve emülasyon seçenekleri için kullanıcı download, debug ve emülasyon modlarına kolay giriş imkanı sağlayan bazı bağlantı noktalarını görevlendirmek istemektedir.

Tüm ADuC814 dizaynları chip'in devre içi tekrar programlanabilme avantajını kullanmak üzere tasarlanmıştır. Bu PC'ye yükleme kodu esnasında seviye dönüşümü için harici bir RS232 chip'i gerektiren ADuC814'in UART'ına bir bağlantı ile yapılır. RS232 bağlantı konfigürasyonu şekil 8.10'da basit bir ADM202 temelli entegrede gösterilmiştir. Eğer kullanıcı board'da bir RS232 chip'i dizayn etmek istemezse, basit bir ADuC814'e seri download girişi yapmak için application note'u C006-A 4-wire UART-to-PC Interface'ine bakmalıdır.

UART bağlantılarına ek olarak; kullanıcılar chip download moduna tetikleme etmek için bir yola ihtiyaç olacaktır. Bu; ISEN pinine jumper edilebilen $1k\Omega$ luk pull-down bir direnç üstünden yapılır. ADuC814'i download moduna almak için; bu jumper bağlanır ve device güç verilir; seri olarak yeni bir programa hazır hale gelecektir. Jumper'ın kaldırılmasıyla entegre güç döngüsü yapıldığında yapıldığında veya reset toggle edildiğinde normal moda gelecektir. PSEN normal olarak bir çıkıştır ve yalnızca resetin düşen kenarında giriş olarak nitelendirilir. Eğer herhangi bir harici devre elemanı PSEN' i low' a çekerse power up ve reset

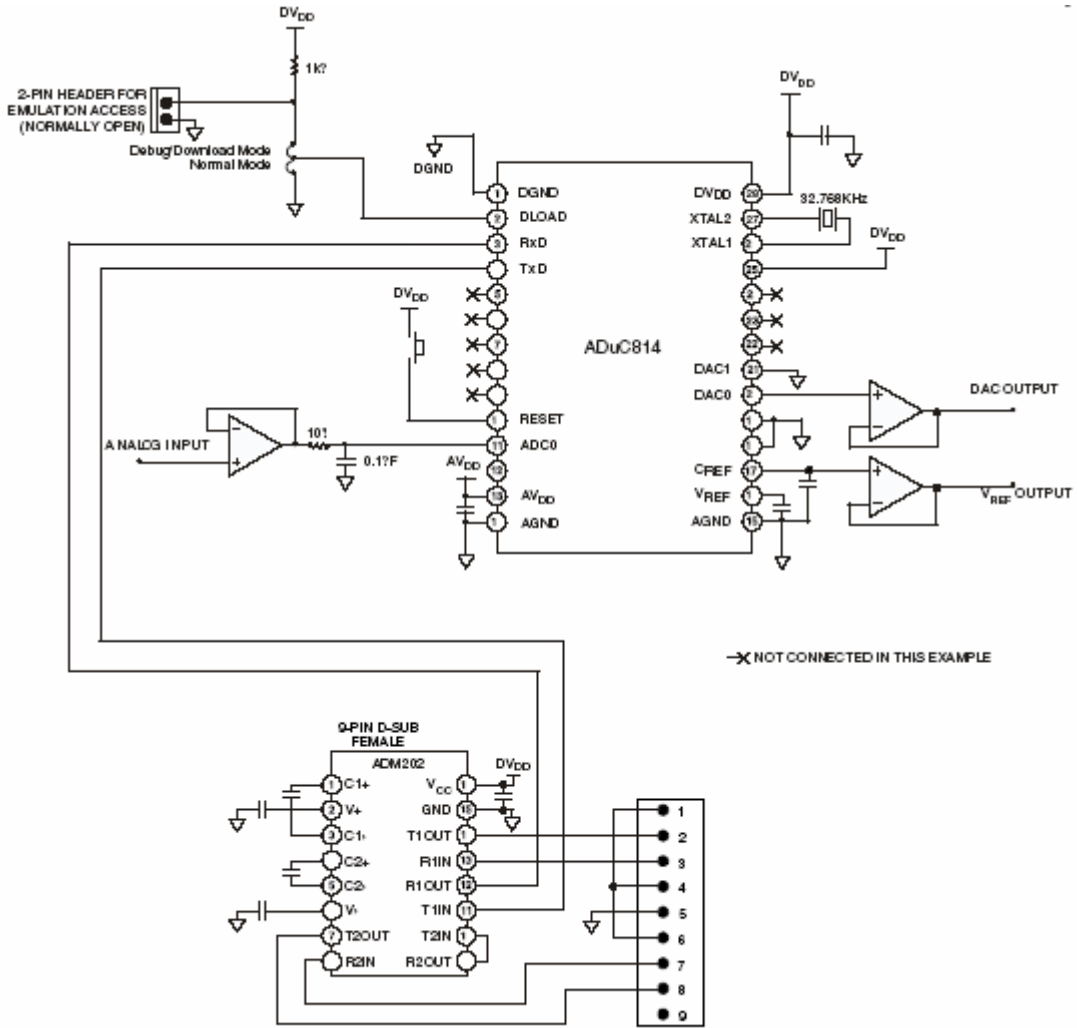
durumlarında bu çipin download moduna girmesine ve bu sebeple kullanıcı kodunun sürülmesinin başlamasına engel olur. Bunu önlemek için harici sinyallerinin harici PSEN jumper'in kendisi hariç hiçbirinin PSEN pinini low' a çekme imkanı olmamalıdır.

Donanım bakımından; seri port debug moduna giriş yukarıda anlatılan seri download giriş sırasına benzemektedir. Gerçekte hem seri download hem de seri port debug modları bir işlem modunun iki farklı şekilde kullanılması olarak tanımlanabilir.

Seri port debugger ADuC814' de tam olarak bulunur ve bu sebeple hiçbir harici hafıza sistem içi debug bölümlerini enable etmek gerekli değildir.

8.2.2 TEK PİN EMÜLASYON MODU

ADuC814'in içinde standart ADuC814 ürünleri kullanan tek pin devre-içi emülasyon için görevlendirilmiş bir kontrolör içermektedir. Bu modda emülasyon girişi EA pinine bir bağlantıyla elde edilir. Normal olarak bu pin dahili veya harici program hafıza alanından birini seçmek için low veya high olarak hard-wired edilir. Tek pin emülasyon modunu enable etmek için kullanıcı Şekil8.10' de gösterildiği gibi 1 k Ω direnç üzerinden EA pinin high'a çekmek zorundadır. Emülatör Şekil8.10'da gösterilen 2-pin header'a bağlanacaktır. Tek-pin emülatörle beraber gelen standart konnektörle uyumlu olabilmesi için 2-pin 0.1 inch pitch kullanılmalıdır. Bu header'ın kutuplaşması gözlemlenmelidir. Şekil8.10'da gösterildiği friction lock tab sağda olduğu zaman topraklama pini 2 pinden low olmalıdır.



Şekil 8.10 Sistem Bağlantı Diyagramı

8.2.3 ADC, ANALOG/DIJITAL DÖNÜŞTÜRÜCÜ (SAR, 6 Kanal, 12-bit, 247 ksps)

TERMİNOLOJİ

Integral Nonlinearity

ADC transfer fonksiyon endpointlerinden (son nokta) geçen düz çizginin maksimum sapmasıdır. Transfer fonksiyonlarının endpointleri sıfır skaladır. (İlk kod transition (geçiş) ve full skala $\frac{1}{2}$ LSB'nin altı, son kod transitionun $\frac{1}{2}$ LSB üstü)

Differential Nonlinearity

ADC'deki iki kod arasında değişen ideal 1LSB ve ölçüm arasındaki farktır.

Offset Error

İlk kod transition (geçiş) (0000....000)'dan (0000....001)'a sapması.

Full Scale Error

Offset error ayarlandıktan sonra ideal AIN geriliminin (Full skala – 1.5 LSB) son kod geçişinden sapmasıdır.

Gürültü ve Distorsiyon Sinyal Değerleri

A/D converter'inin çıkışında ki gürültü ve distorsiyon sinyal değerlerinin ölçümüdür. Sinyal ana rms amplitude'dur. Gürültü, nonfundamental (ana olmayan) işaretlerin örnekleme frekansının yarısına kadar olan kısmın rms olarak toplamıdır(fs/2) (DC hariç). Oran, digitization sürecinde quantization seviyesinin sayısal değerine bağlıdır; üst seviyeler için daha küçük quantization gürültüsü geçerlidir. Sinüs dalga girişli N-bit converter için teorik işaret oranı;

Gürültü distorsiyon sinyali = $(6.02N + 1.76)$ dB, buradan 12-bit converter için 74 dB.

Toplam Harmonik Distorsiyon

Toplanm harmonik distorsiyon, harmoniklerin rms toplamının oranıdır.

Yüksek Harmonik veya Spurious (Sahte) Gürültü

ADC çıkış spectrum'undaki büyük component'in rms değerinin oranı yüksek harmonik ve spurious (sahte) gürültü olarak tanımlanır. Normalde, spectrumdaki en büyük harmonikle rms değerinin oranı bozular. Ancak, harmonikler ses engeline takıldığında, şiddetli gürültü oluşacaktır.

8.2.3.1 ADC BİRİMİ GENEL YAPISI

ADC çevrim bloğu 4.05 µs lik, 6 kanal, 12-bit çözünürlüğe sahip, tek kaynaklı bir A/D dönüştürücüye sahiptir. Bu blok multichannel multiplexor(çok kanallı çoğullayıcı) vasıtası ile track/hold kuvvetlendirici, on-chip referans, offset kalibrasyon özelliği ve A/D dönüştürücü fonksiyonlarını sağlar. Tüm bu birimler 3 SFR yazmacı ile yapılandırılabilir.

A/D dönüştürücü bir kapasitör DAC etrafında kurulan klasik bir *successive-approximation*(ardışık yaklaşım) dönüştürücüsüdür. ADC, 0- VREF arası analog sinyalleri kabul eder. Fabrika ayarlı ve yüksek duyarlılığa sahip 2.5 V luk referans yonga üzerinde mevcuttur. Ayrıca 1V tan AVDD ye kadar haric bir referans VREF pini aracılığıyla kullanılabilir.

Yazılımla tek ya da sürekli çevrim modları seçilebilir. Donanım kısmında ise çevrim sinyali CONVST pinine uygulanabilir ya da TIMER2 ADC çevrim için tekrarlayan tetiklemeler üretmek üzere yapılandırılabilir.AduC814 bünyesindeki lojik devre sayesinde işlemciye gerek kalmadan ADC den SPI arabirimine yüksek hızda ADC verisi aktarılabilir.

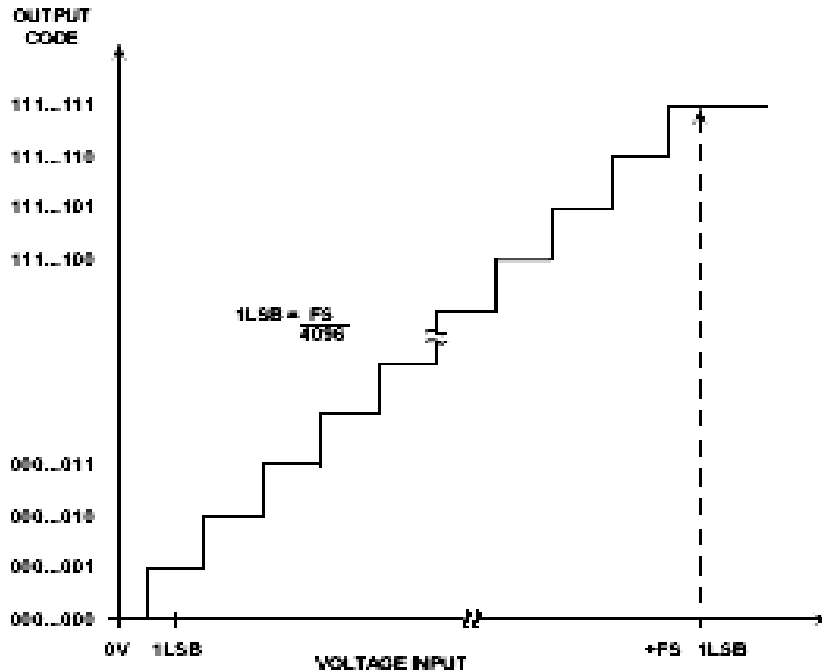
ADC 6 harici giriş kanalına sahiptir. Bunların ikisi DAC çıkışları ile çoğullanmıştır,ADC4 DAC0 ile,ADC5 DAC1 ile...DAC çıkışları kullanılmadıkça ADC çevrimi yapılmaya kalkılırsa analog girişler değil, bu DAC çıkışları çevrilmiş olur. Bu yüzden DAC çıkışları kullanılmadıkça, bu kanallara dışardan sinyal uygulanmamalıdır.

6 ADC kanalının yanısıra içerden de 5 sinyal çoğullayıcıya bağlanmıştır. Bunlar *Temperature Monitor*(Sıcaklık Göstergesi), Dac0, DAC1, VREF, AGND dir. Sıcaklık göstergesi yonga üzerindeki *bangap* referansından çıkan ve mutlak sıcaklıkla orantılı olan bir gerilim çıkışıdır. İçerideki bu kanallar ADCCON2 SFR'nin CS3-CS0 bitleri vasıtasıyla seçilebilir.

AduC814 e güç verildiğinde ya da yeniden başlatıldığında, optimum ADC performansını sağlamak üzere fabrika programlı offset ve gain kalibrasyon katsayıları otomatik olarak ADC ye yüklenir. Eğer istenirse ADC seçenekleri ile bu katsayılar değiştirilebilir ve kullanılan sisteme uyarlanabilir.

8.2.3.2 ADC TRANSFER FONKSİYONU

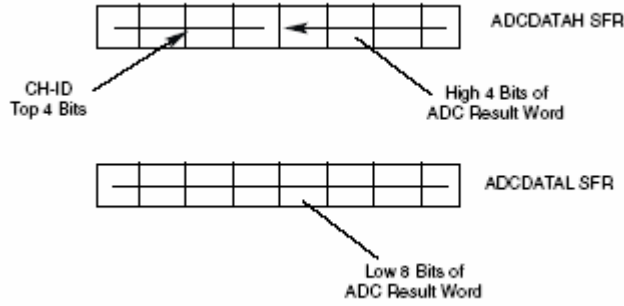
ADC için giriş aralığı 0-VREF arındadır. Bu aralık için, tasarlanmış kod dönüşümü ardışık tamsayı LSB değerlerinin arasındaki orta noktada meydana gelir.(1/2LSB,3/2LSB... -FS-3/2LSB). Vref=2.5V iken binary olarak 1LSB=FS/4096 veya 2.5V/4096=0,61mV olur.



Şekil8.11 AduC814 ADC Transfer Fonksiyonu

8.2.3.3 ADC VERİ ÇIKIŞ BIÇİMİ

ADCCON SFR leri bir kere yapılandırıldıktan sonra 12 bitlik sayısal veriye çevrilen analog değer ADCDATH/L SFR lerine yazılır. Düşük ağırlıklı 8 bit ADCDATAL SFR sine yazılırken, yüksek ağırlıklı 4 bit ADCDATAH SFR sinin düşük ağırlıklı 4 bitine yazılır. Bu yazmacın yüksek ağırlıklı 4 biti ise kanal seçimi için kullanılır.



Şekil 8.12 ADC Çıkış Biçimi

8.2.3.4 ADC BLOĞU İLE İLGİLİ SFR' ler

Yapılacak ADC işleminin modu aşağıdaki 3 SFR tarafından kontrol edilir.

ADCCON1

MODE	EXT_REF	CK1	CK0	AQ1	AQ	T2C	EXC
------	---------	-----	-----	-----	----	-----	-----

Bit	İsim	Tanım
7	MODE	Mode biti. Bu bit ADC yi çalıştırır. 1 ise → ADC açık 0 ise → ADC kapalı
6	EXT_REF	Harici referans seçim biti Bu bit A/D dönüşüm gerçekleştirilirken hangi referansın kullanılacağını seçmeye yarar. 1 ise → Harici referans 0 ise → Yonga üzerindeki <i>bandgap</i> referans

5 4	CK1 CK0	ADC saat bölme bitleri Bu iki bit ADC saatini üretmek için kullanılan PLL <i>master</i> saatinin bölme oranını seçer. Doğru bir A/D dönüşüm için, bölücü oran ADC saatini 4.5 MHz ve aşağısına düşürecek bir şekilde seçilmesi gerekir. Bölücü oran şöyle seçilir CK1 CK2 PLL Bölücü 0 0 8 0 1 4 1 0 16 1 1 32
3 2	AQ1 AQ0	ADC Acquisition Time(Yakalama Zamanı) seçim bitleri Bu bitler track/hold kuvvetlendiricinin giriş sinyalinin yakalaması için gerekli ADC saat darbelerinin sayısını belirler. AQ1 AQ0 #ADC Saat Darbeleri 0 0 1 0 1 2 1 0 3 1 1 4
1	T2C	Timer 2 dönüşüm biti Bu bit set edilirse, Timer2 taşma biti ADC dönüşüm için tetikleme girişi olarak kullanılır.
0	EXC	Harici tetiklemeyi etkinleştirme biti EXC set edilirse CONVST pini aktif 0 da dönüşümü tetikleme girişi olarak kullanılır. Etkin olduğunda girişin çıkan kenarında dönüşüm tetiklenir. Bu pin gerekli örnekleme hızında 100ns nin minimum darbe genişliğinde 0 da kalmalıdır.

ADCCON2

ADCCON2 registerı ADC kanal seçimi ve çevrim modunu kontrol eder.

ADC I	ADCSP I	CCONV	SCONV	CS3	CS2	CS1	CS0
-------	---------	-------	-------	-----	-----	-----	-----

Bit	İsim	Tanım
7	ADC I	ADC kesme bitidir. Tek bir ADC çevrim döngüsü sonunda set edilir. Eğer ADC kesmesi aktifleştirilmiş ise, kullanıcı kodu ADC kesme rutinine dallandığında bu bit temizlenir. Aksi halde bu bit kullanıcı kodutarafından silinmelidir.
6	ADCSP I	ADCSP I modu etkinleştirme biti. ADCSP I set edilirse ADC çevrim sonuçları işlemciye gitmeden doğrudan SPI <i>data buffer</i> (SPIDAT)na transfer olur.

5	CCONV	Devamlı çevrim biti. CCONV nin set edilmesi ADC yi sürekli çevrim modunda çalışmaya başlatır. Bu modda ADC, ADCCON SFR lerdeki kanal ve zamanlama ayarlarına göre çevrime başlar. Bir çevrim döngüsü tamamlandığında diğerine geçilir. Bu modda 3 V luk bir kaynakla çalışılıyorsa, ADCCON1 yazmacı ADC saat bölmesi 16 ve ADC Acquisition time (yakalama zamanı) '4 ADC saat darbesi ' olacak şekilde yapılandırılmalıdır.
4	SCONV	Tek çevrim biti. Bu bit set edilirse tek bir döngü başlatır. Bu tek çevrim döngüsü bittiğinde otomatik olarak 0 a çekilir. Bu modda 3V luk bir kaynakla çalışılıyorsa, maksimum ADC örnekleme hızı 147 kSPS yi geçmemelidir.
3	CS3	Kanal seçim bitleri.
2	CS2	CS3 – CS0 kullanıcıya yazılımla kanal seçim kontrolü sağlar. Bu kanal bitleri şöyle çalışır:
1	CS1	
0	CS0	
		CS3 CS2 CS1 CS0 CH#
		0 0 0 0 0
		0 0 0 1 1
		0 0 1 0 2
		0 0 1 1 3
		0 1 0 0 4
		0 1 0 1 5
		0 1 1 0 X ADC kanalı seçilmemiş
		0 1 1 1 X ADC kanalı seçilmemiş
		1 0 0 0 Temp Monitor(Sıcaklık Göstergesi)
		1 0 0 1 DAC0
		1 0 1 0 DAC1
		1 0 1 1 AGND
		1 1 0 0 VREF

DCCON3

Bu registeri çeşitli kalibrasyon modlarını kontrol eder ve de ADC nin meşgul olup olmadığını gösterir.

BUSY	GNCLD	AVGS1	AVGS0	OFCLD	MODCAL	TYPECAL	SCAL
------	-------	-------	-------	-------	--------	---------	------

Bit	İsim	Tanım
7	BUSY	ADC meşgul durum biti. Bu bit ADC çevrimi ya da kalibrasyonu esnasında set edilen ve sadece okunabilen(read only) durum bitidir. Çevrim ya da kalibrasyon sona erdiğinde otomatik olarak temizlenir.

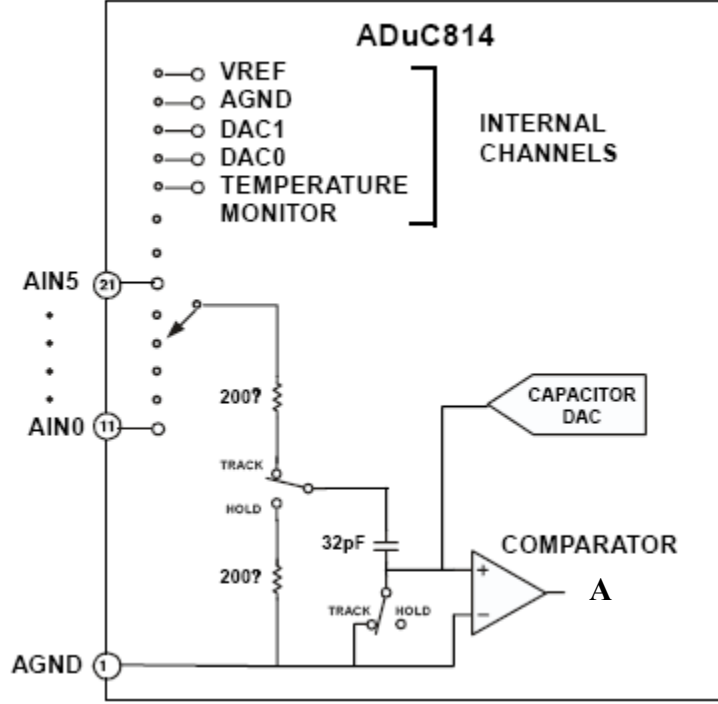
6	GNCLD	Gain (kazanç) kalibrasyon <i>disable</i> biti Bu bit ADC sonuçlarına etki eden gain(kazanç) kalibrasyon katsayısını etkinleştirir ya da devre dışı bırakır. 0 → kazanç kalibrasyon katsayısı etkin 1 → kazanç kalibrasyon katsayısı devre dışı
5	AVGS1	Ortalama sayısı seçim bitleri
4	AVGS0	Bu bitler kalibrasyon döngüsü esnasında her bit için karar verirken ortalaması alınacak kaç ADC okuması yapılacağını belirler. AVGS1 AVGS0 Ortalama Sayıları 0 0 15 0 1 1 1 0 31 1 1 63
3	OFCLD	Offset kalibrasyon <i>disable</i> biti Bu bit ADC sonuçlarına etki eden offset kalibrasyon katsayısını etkinleştirir ya da devre dışı bırakır 0 → offset kalibrasyon katsayısı etkin 1 → offset kalibrasyon katsayısı devre dışı
2	MODCAL	Kalibrasyon modu seçim biti Tüm kalibrasyon döngüleri için bu bit 1 e çekilmelidir.
1	TYPECAL	Kalibrasyon tipi seçim biti Bu bit offset ve gain (kazanç) kalibrasyonu arasında seçim yapar. 0 → offset kalibrasyon 1 → gain kalibrasyon
0	SCAL	Kalibrasyon döngüsünü başlatır. Bu bit set edildiğinde seçilen seçilmiş olan kalibrasyon döngüsü başlar.Döngü tamamlandığında otomatik olarak temizlenir.

8.2.3.5 A/D DÖNÜŞTÜRÜCÜNÜN SÜRÜLMESİ

ADC, bünyesinde bir *charge-sampled* (yükleme-örnekleme) giriş bölümü bulunan SAR(*Succesive Aproximation*) mimarisine sahiptir.

Aşağıdaki şekilde de görüldüğü gibi her ADC dönüşüm iki aşamadan oluşur. Örnekleme aşaması sırasında (anahtarlar 'track' pozisyondayken) analog giriş gerilimi ile orantılı bir yük örnekleme kapasitesini(32 pF) yükler. Çevrim aşamasında(anahtarlar'hold' pozisyonunda) ise DAC kapasitörü SAR lojik devresi tarafından artırılır. Bu artırım kapasitör DAC çıkışı, giriş örnekleme kapasitesi ile aynı yük seviyesine gelip, A düğümündeki gerilim '0'ı gösterene kadar devam eder.Son olarak SAR içerisindeki sayısal değer ADC çevrim sonucu olarak yazılır.SAR ın kontrolü ve örnekleme ve yakalama zamanlarının kontrolü

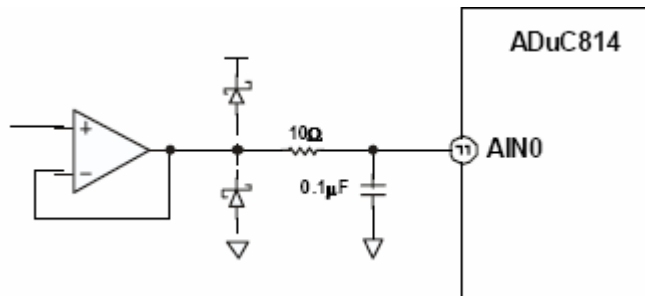
yerleşik ADC kontrol lojik ünitesi tarafından yapılır. Yakalama ve çevrim zamanları kullanıcı tarafından da yapılandırılabilir.



Şekil 8.13 ADC İşlemi Blok Şeması

Burada yeni bir kanal seçildiğinde, 32 pF lık örnekleme kapasitesinde bir önceki çevrimden arta kalan yüke dikkat edilmelidir. Anahtar 'hold' pozisyona geçmeden işaret kaynağı bu geçici etkiden kurtulmalıdır. Bu yazılım vasıtası ile gecikme konularak yapılabilir. Fakat bu işin donanım ile yapılması hem bizi extra yazılım zahmetinden kurtaracak, hem de daha gürültüsüz bir sistemin gerçekleşmesine imkan verecektir.

Donanım çözümlerinden biri analog girişleri çok hızlı OPAMP lar(geçiş zamanları 300 ns nin altında olmalıdır) ile sürmektir.



Şekil 8.14

Bu devre ilk bakışta gürültü filtresi gibi gözükmesine karşın, asıl işlevi yeni bir ADC kanalı seçildiğinde, giriş kapasitesi üzerinde eski çevrimden kalan yükün bu devredeki 0.1 μ F lık kapasite üzerinden boşalmasını sağlamaktır. 0.1 μ F lık kapasite 32 pF lık kapasitenin 3000 katı olduğu için, bu boşalma(deşarj) esnasında üzerindeki gerilim 12-bit lik transfer fonksiyonunun bir kademesinden(VREF = 2.5 V için; $2.5V/4096=0,61mV$) fazla değişmez. İstenirse daha büyük kapasiteler de seçilebilir.

Schottky diyotlar, analog girişlere uygulanan gerilimlerin katalog değerlerini aşmasını önlemek için gerekli olabilir. Eğer OPAMP AduC814 ile aynı kaynaktan besleniyorsa buna gerek kalmaz.

ADC nin düzgün çalışması için her analog girişteki toplam kaynak empedansı 610 ohm dan daha düşük olmalıdır. Aşağıdaki tablo kaynak empedansının DC çalışmayı nasıl etkilediğini gösterir.

Source	Error from 1 μ A	Error from 10 μ A
Impedance	Leakage Current	Leakage Current
61 Ohms	61 μ V = 0.1 LSB	610 μ V = 1 LSB
610 Ohms	610 μ V = 1 LSB	6.1mV = 10 LSB

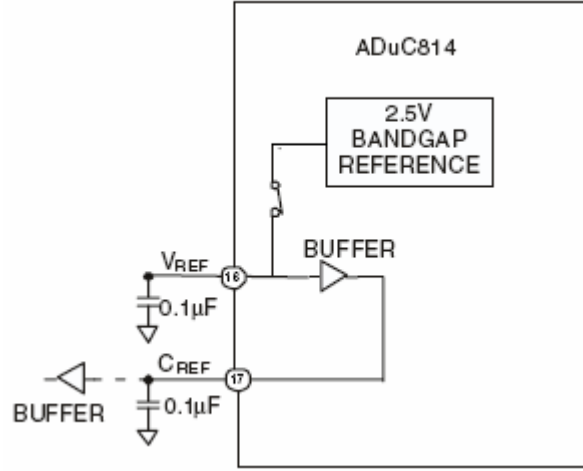
OPAMP ların kazançları artırılabilceği gibi, girişlerine farklı işaretler uygulanarak çeşitli uygulamalar yapılabilir. Aşağıda bu işlemlerde kullanılacak bazı OPAMP lar gösterilmiştir.

Op Amp Model Karakteristikleri

OP281/481	micropower
OP191/291/491	I/O good up to VDD, low cost
OP196/296/496	I/O to VDD, micropwr, low cost
OP183/283	high gain-bandwidth product
OP162/262/462	high GBP, micro package
AD820/822/824	FET input, low cost
AD823 FET	input, high GBP

8.2.3.6 REFERANS GERİLİM BAĞLANTISI

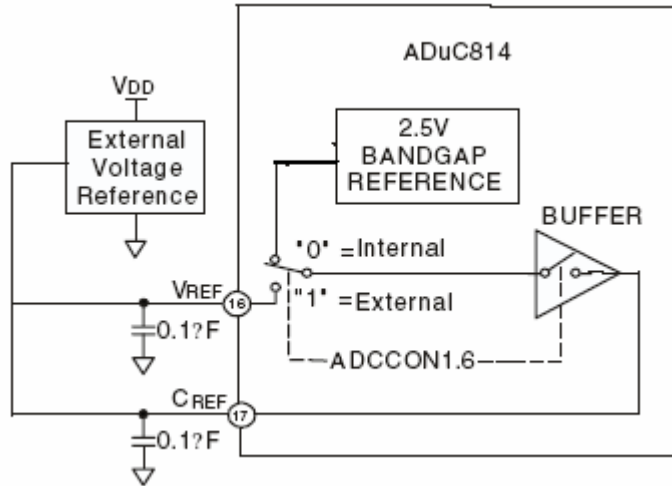
Yonga üzerindeki 2.5 V luk referans kaynağı ADC ve DAC işlemleri için kullanılabilir. Bu referansın doğru değerde olmasını sağlamak için VREF ve CREF pinleri 0.1 μ F lık kondansatör üzerinden toprağa bağlanmalıdır.



Şekil 8.15

Eğer bu iç gerilim referansını harici bir devrenin referansı olarak kullanmak istersek CREF pinini kullanırız. Ancak bu pinden akım çekilmemesi için *buffer* kullanılmalıdır. Çünkü CREF pini üzerindeki gerilim ADC -DAC işlemleri için çok önemlidir. Açılıştan sonra referans değerinin oluşması için 60 ms gereklidir. Doğru bir ADC işlemi için bu süre kadar beklenme yapılmalıdır.

Eğer harici referans kaynağı seçilmişse, bu kaynak aşağıda görüldüğü gibi CREF ve VREF pinlerine bağlanmalıdır. ADCCON1 in 6. bitini set ederek harici referans kaynağını etkinleştirmiş oluruz. Doğru bir ADC işlemi için VREF gerilimi 1V ile AVDD arasında olmalıdır. Analog girişlerin gerilim kaynağı ile orantılı olduğu durumlarda VREF pini doğrudan AVDD ye bağlanabilir.



Şekil 8.16 Harici Gerilim Kaynağının Kullanılması

8.2.3.7 ADC' nin AYARLANMASI

ADC nin kurulması için ADCCON1, ADCCON2, ADCCON3 SFR leri kullanılır.

ADCCLK, ADC lojik devresinin, çevrim esnasında hangi hızda çalışacağını belirler. Bütün ADC zamanlama parametreleri ADCCLK frekansından hesaplanır. ADuC814 'de, ADCCLK maksimum çekirdek (core) frekansından(16.777216 MHz) hesaplanır. ADCCLK frekansı ADCCON1 SFR sinin 5 ve 4. bitleri seçilir. Yapılan seçime göre çekirdek frekansı 8, 4, 16 ve 32 ye bölünür. Böylece sırasıyla 2, 4, 1 ve 0,5MHz lik frekanslar elde edilmiş olur.

Acquisition(yakalama) zamanı; giriş işaretinin örneklenmesi için kullanılan ADCCLK sayısıdır. Çoğu uygulamada bu zaman gerektiğinden fazladır. Bu duruma tek istisna yüksek kaynak empedanslı analog girişlerdir. 610 Ohm dan daha büyük empedanslı girişler DC bozulmalara yol açacağından *buffer* lanmalıdırlar. ADCCON un 3ve 2. bitleri ile acquisition (yakalama) zamanı 1, 2, 3 ve 4 ADCCLK olarak seçilebilir.

ADCCLK frekansı ve yakalama(*Acquisition*) zamanı ile birlikte 2 parametre daha kullanarak ADC çevrim zamanını bulabiliriz. 1. Parametre Tconv; sinyalin dijital çıkışa çevrilmesi için gerekli süre olan 15 ADCCLK dır.

Çevrim başlatıldığında çevrimin başlangıç sinyali ADCCLK a senkronize edilir. Bu senkronizasyon 0.5-1.5 ADCCLK sürebilir. Toplam süre şöyle hesaplanır.

$$T_{adc} = T_{sync} + T_{acq} + T_{conv}$$

$$T_{sync} = 1, acq = 1 \text{ ve } F_{core}/ADCCLK \text{ bölme oranı } 4 \text{ olsun. Buradan,}$$

$$T_{adc} = (1 + 1 + 15) * (1 / 4194304)$$

$$T_{adc} = 4.05 \mu s \text{ bulunur. Bu ayarlar max. Çevrim hızı } 246 \text{ kHz e imkan verir}$$

Sıcaklık göstergesi kanalında çevrim yaparken çevrim zamanı ADCCON1 tarafından kontrol edilmez. Donanım tarafından ADCCLK= Fcore / 32 ve yakalama zamanı 4 ADCCLK olarak ayarlanır.

$$T_{adc} = (1 + 4 + 15) * (1 / 524288) = 38.14 \mu s$$

Çevrim zamanının artırılması daha iyi sonuçlar elde edilmesini sağlar. Daha iyi sonuçlar için sıcaklıktan az etkilenen harici bir referans kullanılabilir.

8.2.3.8 ADC ÇEVİRİMİNİN BAŞLATILMASI

ADC yapılandırıldıktan sonra çevrimi başlatmanın 4 yolu vardır.

Yazılım ile ADCCON2 nin SCONV biti set edilerek tek çevrim başlatılmış olur. Tek

bir dönüşüm yapılır ve sonuç ADCDATAH/L SFR lerine atılır ve SCONV biti temizlenir.

Yazılım ile ADCCON2 nin CCONV biti set edilerek sürekli çevrim başlatılmış olur .Bu modda ayarlanan hızda (deminki örnekte 246 kHz) ard arda çevrimler yapılır. Bilgi kaybını önlemek için, bir sonraki dönüşüm tamamlanmadan, sonuç ADCDATA SFR lerinden okunmalıdır. CCONV biti temizlenerek sürekli çevrim modundan çıkılabilir.

ADC çevrimi başlatmak için harici bir işaret te kullanılabilir. Bunun için ADCCON1 in 0. bitinin set edilmesi gerekir. Böylece CONVST pinine çevrimi başlatmak için genişliği en az 100 ns olan aktif 0 darbeler uygulanabilir. Bu darbelerin çıkan kenarında çevrim başlar.

Ayrıca Timer2 nin taşma sinyalleri de çevrimi başlatmak için kullanılabilir. Bunun için ADCCON1 in 1. bitinin set edilmesi gerekir.

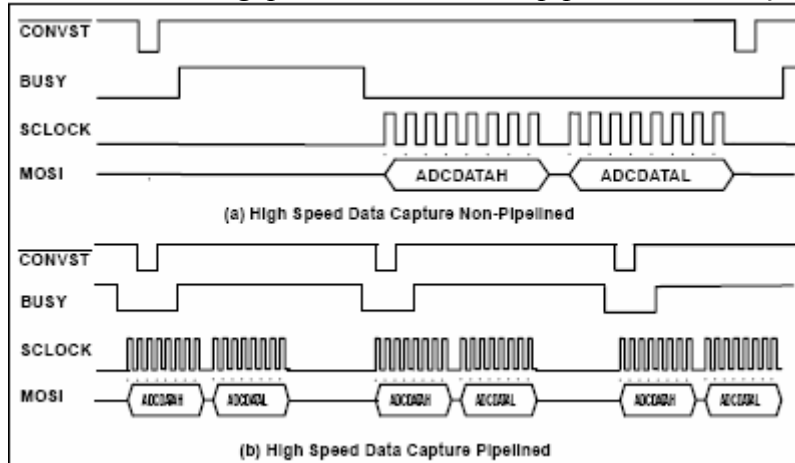
Hem CONVST hem de Timer2 için çevrim hızının, çevrim zamanına(Tadc) eşit ya da daha büyük olmasına dikkat edilmesi gerekir.

Çevrimi başlatırken yalnızca bir tetikleme modunun aktif olduğundan emin olunmalıdır. Yoksa ADC kararsız davranır.

8.2.3.9 ADC YÜKSEK HIZLI VERİ YAKALAMA MODU (HSDC)

ADC maksimum çevrim hızı $4.05\mu s$ ye göre tasarlanmıştır. Bu hızda çalışırken AduC814, ADC çıkışını okumak ve hafızaya kaydetmek için $4.05\mu s$ ye sahiptir. Aksi halde bir sonraki ADC örneği kaybolur. Hatasız olarak çevrimi tamamlamak ve sonuçları kaydetmek için geçen zaman 'Throughput' değeri(transfer hızı)olarak bilinir. Bir kesme esnasında işlemcinin ADC kesme servis programına dallasması AduC814 ün *throughput* değerini düşürecektir. AduC814ün standart *throughput* hızının yetmediği uygulamalarda HSDC(high speed data capture mod) kullanılabilir.

HSDC modunda ADC sonuçları işlemciye gitmeden SPI lojik ünitesine aktarılır. ADC *throughput* un yavaş olduğu uygulamalarda HSDC *non-pipelined* modda çalışır . Bu modda ADC çevrimi ve bir sonraki çevrim başlamadan ADC den SPI ya veri aktarımı için yeterli zaman vardır. ADC *throughput* artarken, HSDC *pipelined* modda çalışmaya başlar .



Şekil 8.17

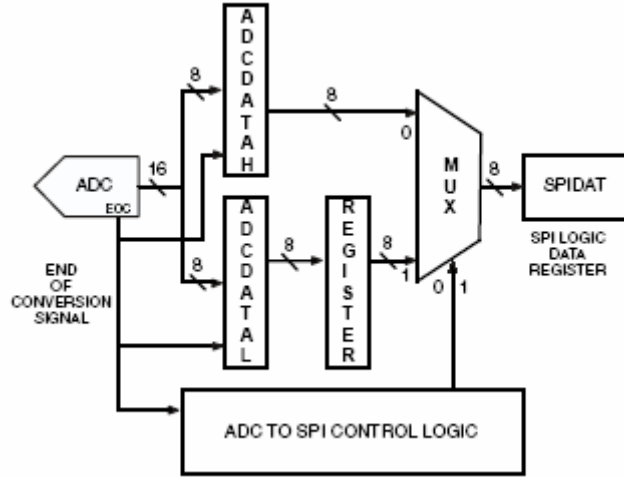
Bu modda ADC → SPI veri transferi bir dahaki çevrim esnasında yapılır. ADC sonuçlarını kaybetmemek için kullanıcı veri transferinin o esnadaki ADC dönüşümü bitmeden tamamlanmış olduğuna emin olmalıdır.

HSDC modunu etkinleştirmek için, ADCCON2 nin 6. biti(ADCSPİ) set edilmeli ve AduC814 ardışık örnek akışını yakalamak üzere en yüksek ADC hızında(247 kHz) yapılandırılmalıdır.

AduC814 ü HSDC moda uyarlamak için şunlar yapılır.

- 1.ADC dönüşüm modlarından biri seçilir
- 2.SPI arabirimi yapılandırılır.
3. ADCCON2 nin 6. biti(ADCSPİ) set edilerek HSDC etkinleştirilir.
- 4.Dönüşümü başlatması için ADC ye tetikleme sinyali gönderilir.

Yapılandırma tamamlandıktan sonra ADC sonuçları ADCDATAH/L dan SPIDAT a transfer edilir.İlk olarak en ağırlıklı bitler yani ID bitleri transfer edilir. Bunu 12 bitlik ADC sonucu takip eder. Bu modda normal SPI ve Port3 işlevleri çalışmaz. Ama işlemci kod işletimini devam ettirebilir. Bu mod ADCSPİ biti temizlenerek kapatılabilir.



Şekil 8.18

8.2.3.10 ADC' de KALİBARSYON

Bu bölümde ADC kalibrasyonundaki adımlar incelenecektir.

8.2.3.10.1 OFFSET VE KAZANÇ KALİBRASYONU

ADC bloğu kalibrasyon donanımına sahiptir ve ilgili SFR ler ile optimum offset ve gain performansı sağlanabilir.

Fabrika testleri sonucu AduC814 ün offset ve kazanç özellikleri kalibre edilmiştir. Fabrika kalibrasyonuna ait offset ve kazanç katsayıları kalıcı Flash bellekte saklanır ve

ADuC814 e güç verildiğinde veya RESET edildikten sonra bu değerler ilgil otomatik olarak yüklenir.

Çoğu uygulamada fabrika kalibrasyonu yeterlidir. Yine de AduC814 ün offset ve kazanç değerleri sistemden sisteme değişebilir. Bu yüzden en iyi ADC sonucunu elde etmek için ADC kalibrasyonu yapılmalıdır.

ADC kalibrasyon yazmaçlarının doğru olmasının 2 temel avantajı vardır. Birincisi;ADC deki iç hatalar düşürülebilir, ikincisi sistem offset ve kazanç hataları yok edilebilir. Bu kullanıcıya referans hatalarını ortadan kaldırma ve ADC nin tüm dinamik aralığını kullanma imkanı sağlar.

8.2.3.10.2 ADC OFFSET VE KAZANÇ KALİBRASYON KATSAYILARI

AduC814 offset ve kazanç kalibrasyonları için birer tane ADC kalibrasyon katsayısına sahiptir. Bu iki katsayıda 14 bitlik kelimelerdir ve SFR bölgelerinde bulunurlar. Offset kalibrasyon katsayısı ADCOFSH(6 bit) ve ADCOFSL(8 bit), kazanç kalibrasyon katsayısı ise ADCGAINH(6 bit) ve ADCGAINL(8 bit) şeklinde bölünmüştür.

Offset kalibrasyonu ADC ve giriş sinyalindeki DC offset hatalarını kompanze eder. Offset katsayısını artırmak pozitif offseti kompanze eder ve ADC transfer fonksiyonunu aşağı çeker. Offset katsayısını azaltmak ise negatif offseti kompanze eder ve ADC transfer fonksiyonunu yukarı iter. Kompanze edilebilecek maksimum offset, %3.5 VREF tir. Eğer $VREF = 2.5$ ise bu değer 87.5mV olarak bulunur.

Benzer şekilde kazanç kalibrasyonu ADC ve giriş sinyalindeki DC kazanç hatalarını kompanze eder.Kazanç katsayısını artırmak, daha küçük analog giriş sinyal aralığını kompanze eder ve transfer fonksiyonunun eğimini artırarak ADC transfer fonksiyonunu yukarı tırmandırır. Kazanç katsayısını azaltmak ise, daha geniş analog giriş sinyal aralığını kompanze eder ve transfer fonksiyonunun eğimini azaltarak ADC transfer fonksiyonunu aşağı indirir.Kazanç katsayısı tarafından kompanze edilebilecek maksimum analog giriş sinyal aralığı $1.035 * VREF$ tir ve yaklaşık %3.5 VREF e denktir.

8.2.3.10.3 ADC NİN KALİBRE EDİLMESİ

Yazılımla başlatılabilecek iki tane kalibrasyon modu vardır. ADCCON3 SFR si ADC yi kalibre etmek için kullanılır. ADCCON3 ün 1. biti(TYPECAL) ve ADCCON2 nin CS3-SC0 bitleri kalibrasyon modunu ayarlar.

Aygıtın kalibrasyonu, çalışma şartlarındaki (frekans, analog giriş aralığı, referans voltajı ve gerilim kaynağı) önemli değişiklikleri kompanze etmek için uygulanabilir. Bu kalibrasyon modunda offset kalibrasyonu AGND yi, kazanç kalibrasyonu ise VREF ikullanırlar .AGND ADCCON2 nin CS3-CS0 bitlerine (1011), VREF ise(1100) yazılarak seçilir.Önce offset , sonra kazanç kalibrasyonu yapılmalıdır.

Sistemin kalibrasyonu, iç ve dış sistem hatalarını kompanze etmek için uygulanır. Harici bir referans kullanarak sistem kalibrasyonunu gerçekleştirmek için, sistem toprağı ve referansı 6 (analog) girişten herhangi ikisine bağlanır. ADCCON1.6 bitini set ederek harici referans modunu aktifleştir. CS3-CS0 vasıtası ile AGND ye bağlı kanal seçilir ve sistem offset kalibrasyonu gerçekleştirilir. CS3-CS0 vasıtası ile VREFe bağlı kanal seçilir ve sistem kazanç kalibrasyonu gerçekleştirilir.

8.2.3.10.4 KALİBRASYONUN KODLA BAŞLATILMASI

```
MOV ADCCON1,#0D0H          ;ADC on; ADCCLK set to divide by 4, 1
                             ;acquisition clock

; Offset Kalibrasyon...

MOV ADCCON2,#0BH           ;dahili AGND seçildi
MOV ADCCON3,#25H           ;offset kalibrasyon seçildi,
                             ;her bit için 31 ortalama,
                             ;offset kalibrasyon

; Kazanç Kalibrasyon...

MOV ADCCON2,#0CH           ;dahili VREF seçildi
MOV ADCCON3,#27H           ;kazanç kalibrasyon,
                             ;her bit için 31 ortalama,
                             ;kazanç kalibrasyon

;Sistem Offset Kalibrasyon...

;Sistemin AGND pinini ADC kanallarından birine bağlayın(0).

MOV ADCCON2,#00H           ;harici AGND seçilmesi
MOV ADCCON3,#25H           ;offset kalibrasyon,
                             ;her bit için 31 ortalama

;Sistem Kazanç Kalibrasyon...

; Sistemin AGND pinini ADC kanallarından birine bağlayın (1).

MOV ADCCON2,#01H           ;harici VREF seçildi
MOV ADCCON3,#27H
```

8.2.4 DAC, Dijital/Analog Converter (V_{out} , 2 kanal, 12-bit, 15 μ s settling Time)

TERMINOLOJİ

Relative Accuracy (kesinlik)

Relative accuracy ya da endpoint doğrusallığı, DAC transfer fonksiyonlarının endpointlerinden (son noktalarından) maksimum sapmanın ölçümüdür. Sıfır hatası ve full skala hatasının düzeltilmesinden sonra ölçüm yapılır.

Gerilim Çıkış Süresinin Ayarlanması

261

Full skala giriş değişimi için çıkışı ayarlamak ile geçen yaklaşık süre.

Dijital'den Analoga Glitch Darbesi

Giriş değerleri değiştirildiğinde analog çıkıştaki şarjın etkisiyle oluşur.

DAC

AduC814 ün 2 adet 12 bit çözünürlüğe sahip DAC çıkışı vardır. Herbiri 10 kΩ/100pF'ı sürebilecek kapasitede *rail-to-rail* voltaj çıkış buffer ına sahiptir. 0-VREF yada 0-AVDD aralıklarında çalışabilirler. Yine seçime bağlı olarak 12-bit ya da 8-bit modlarında çalışabilirler. DAC işlemi DACCON SFR si tarafından kontrol edilir. DACxH/L olmak üzere her DAC iki veri yazmacına sahiptir. DAC0 ve DAC1 çıkışları pinlerini sırasıyla ADC4 ve ADC5 ile paylaşırlar. DAC lar kullanımdayken ADC lerin sayısı 4 e düşer. 12- bit modda DAC çıkışı DACL yüklenir yüklenmez yenilenir. Bu yüzden önce DACH, sonra DACL yüklenmelidir.

8.2.4.1 DACCON SFR' si

DACCON

DACCON DAC Kontrol Registeri
SFR Adresi FDH
Power-On Reset Değeri 00H
Bit Adreslenme Yok

7	6	5	4	3	2	1	0
MODE	RNG1	RNG0	CLR1'	CLR0'	SYNC	PD1'	PD0'

Bit	İsim	Tanım
7	MODE	Mod seçim biti. 0 → 12-bit modu 1 → 8-bit modu
6	RNG1	DAC1 çıkış gerilim aralığı seçim biti. 0 → DAC1, 0-2.5 V aralığında yapılandırılır. 1 → DAC1, 0-AVDD aralığında yapılandırılır
5	RNG0	DAC0 çıkış gerilim aralığı seçim biti. 0 → DAC0, 0-2.5 V aralığında yapılandırılır. 1 → DAC0, 0-AVDD aralığında yapılandırılır

4	CLR1	DAC1 temizleme biti 0 → DAC1 çıkış gerilimini 0 a çek. 1 → normal DAC1 işlemi
3	CLR0	DAC0 temizleme biti 0 → DAC0 çıkış gerilimini 0 a çek. 1 → normal DAC0 işlemi ».
2	SYNC	DAC0/1 güncelleme senkronizasyon biti 0 → Senkron güncelleme modu DAC çıkışları eş zamanlı güncellenir. 1 → Asenkron güncelleme modu DAC çıkışları DACL SFR leri yazılır yazılmaz güncellenir.
1	PD1	DAC1 kapama biti 0 → DAC1 kapalı 1 → DAC1 açık
0	PD0	DAC0 kapama biti 0 → DAC0 kapalı 1 → DAC0 açık

DACxH/L DAC0 ve DAC1 veri registerları

Fonksiyonu DAC çıkışlarını güncellemek için kullanıcı tarafından kullanılır.

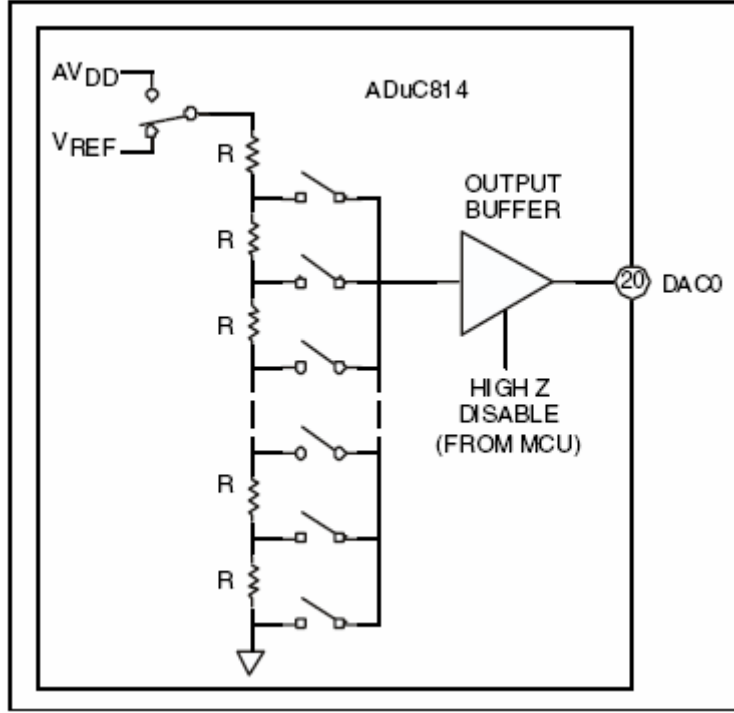
SFR Adresi DAC0L(DAC0 Veri Düşük Byteı) F9H
DAC0H(DAC0 Veri Yüksek Byteı) FAH
DAC1L(DAC0 Veri Düşük Byteı) FBH
DAC1H(DAC0 Veri Yüksek Byteı) FCH

Power-on Reset Değeri 00H (Hepsi için)

Bit Adresleme Yok (Hepsi için)

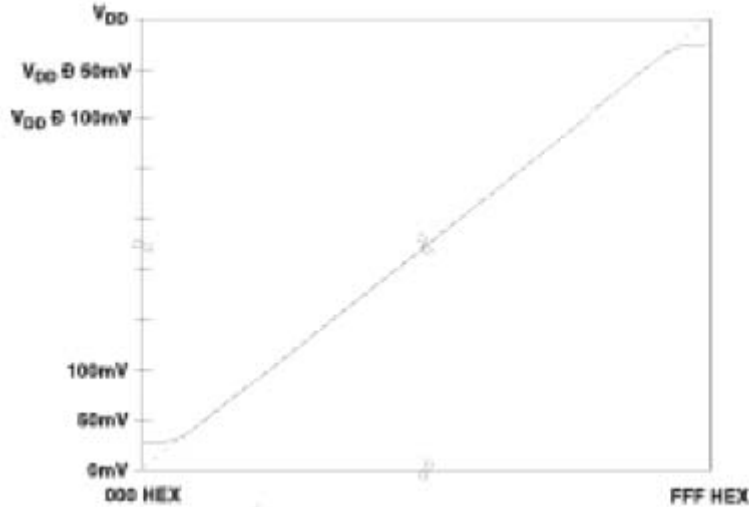
8.2.4.2 DAC KULLANIMI

DAC mimarisi, direnç dizili DAC ve çıkış buffer kuvvetlendiriciden oluşur. Bu yapının özelliği çok iyi diferansiyel doğrusallığa sahip olmasıdır.



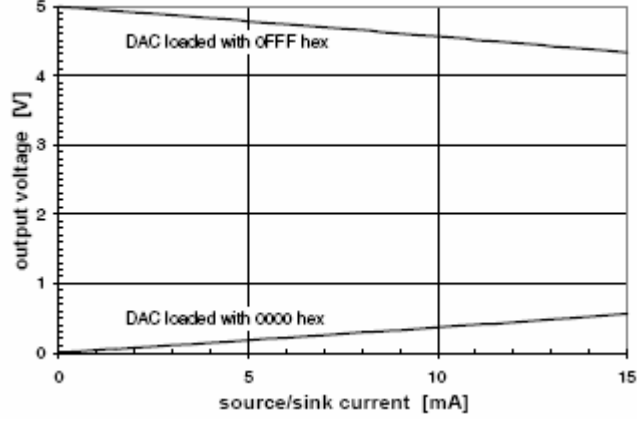
Şekil 8.19 Direnç Dizili DAC eşdeğer devresi

Şekilde görüldüğü gibi referans kaynağı yazılımla AVDD veya VREF seçilebilir. 0-VREF modu seçildiğinde transfer fonksiyonu 0 ile VREF arasında uzanır. 0-48 kodları ve sadece 0-AVDD modu için 3945-4095 kodları hariç, DAC(10K lık dirençle toprağa sürüldüğünde) tüm transfer fonksiyonu boyunca lineerlik özelliği gösterir. Toprak ve beslemeye yakın noktalarda oluşan bu bozulmalar çıkış kuvvetlendiricisinin saturasyonundan kaynaklanır. Aşağıdaki şekil 0-VDD modu için transfer fonksiyonunu gösterir. Noktalı bölgeler ideal fonksiyonu temsil etmektedir. 0-VREF modunda tek fark ise yukarı kısımdaki bozulmanın olmamasıdır.

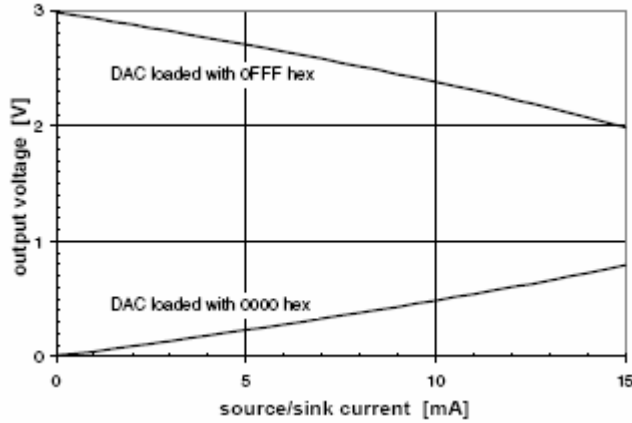


Şekil 8.20 Kuvvetlendirici saturasyonu sonucu oluşan endpoint nonlineerliği

Bu şekil çoğu uygulamada olduğu gibi DAC çıkışlarının 10 KΩ rezistif yükle toprağa sürüldüğü varsayılarak çizilmiştir. Eğer çıkışlar daha fazla akım çekicek şekilde yüklenirse nonlinear bölgeler genişler. Aşağıda çeşitli gerilim değerleri için source&sink akımı yeteneği görülmektedir.

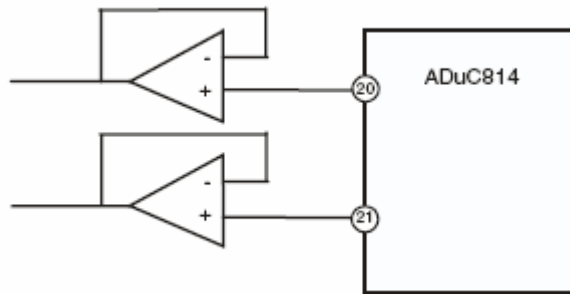


Şekil 8.21.a VREF=VDD=5V için source&sink akımı yeteneği



Şekil 8.21.b VREF=VDD=3V için source&sink akımı yeteneği

Daha büyük yükler için akım sürme yeteneği yeterli olmayabilir. DAC ın source&sink akımı yeteneğini artırmak için çıkışlara buffer eklenebilir.



Şekil 8.22 DAC çıkışlarını bufferlama

DAC çıkışlarını bufferlama aynı zamanda yüksek empedansı etkisizleştirme özelliği gösterir. Güç verilmesiyle birlikte DAC lar default olarak etkin deyildir ve yazılımla etkinleştirilene dek çıkışları yüksek empedanstır. Eğer güç verildiğinde ya da kesildiğinde oluşan geçiş zamanlarında DAC çıkışlarının 0 olması istenirse,her bir DAC çıkışı bir dirençle 0 a çekilmelidir. Böylece DAC çıkışları DAC etkin olmadığı zamanlarda toprak olur.

8.2.5 PLL BİRİMİ İLE HIZ AYARI (16.78MHz maksimum)

On_Chip PLL

AduC814, 32 kHz lik saat kristali ile çalışmak üzere tasarlanmıştır. İçerdeki PLL birimi 16.777216 MHz lik kararlı sistem frekansı elde etmek üzere bu saat frekansını çoğullar(512 kat). İşlemci bu frekansta çalıştırılabileceği gibi yüksek frekansın gerekli olmadığı uygulamalarda güç tasarrufu yapmak için bu frekansın ikili bölümlerinde de çalıştırılabilir. Default işlemci saat frekansı PLL saatinin 8 e bölünmesiyle 2.097152 olarak bulunur. PLL işlemi PLLCON SFR si ile kontrol edilir.

PLLCON

PLLCON PLL Kontrol Registerı

SFR Adresi D7H
Power-On Reset Değeri 03H
Bit Adreslenme Yok

7	6	5	4	3	2	1	0
OSC_PD	LOCK	-----	----	FINT	CD2	CD1	CD0

Bit	İsim	Tanım
7	OSC_PD	Osilatör Power-down biti 0 → 32 kHz lik osilatör power-down modda çalışır 1 → 32 kHz lik osilatör power-down modda çalışmaz Bu özellik sayesinde power-down modda dahi TIC e saat frekansı verilir
6	LOCK	PLL kilit biti, sadece okunabilir.Bu bit başlangıçta otomatik olarak PLL düzgün şekilde kristal frekansını izliyorsa 1 lenir, izleyemiyorsa 0 lanır.Eğer kristal bağlantısında kopukluk olursa PLL çalışamaz ve işlemci durur.

5	----	Gelecek te kullanım için ayrılmıştır
4	-----	Gelecek te kullanım için ayrılmıştır
3	FINT	Hızlı kesme cevap biti 0 → bu mod kapalı 1 → CD0-CD2 bitleri ne seçilirse seçilsin, kesmelere en hızlı çekirdek frekansında cevap verilmesini sağlar. Kesme den dönüşte CD0-CD2 ile seçilmiş olan çekirdek frekansına dönlür.
2	CD2	Çekirdek saati bölücü bitleri .Bu bitler mikrodenetleyicinin hangi frekansta
1	CD1	çalışacağını belirler.
0	CD0	CD2 CD1 CD0 Çekirdek Saat Frekansı
		0 0 0 16.777216
		0 0 1 8.388608
		0 1 0 4.194304
		0 1 1 2.097152
		1 0 0 1.048576
		1 0 1 0.524288
		1 1 0 0.262144
		1 1 1 0.131072

8.2.6 KALICI FLASH/EE HAFIZA

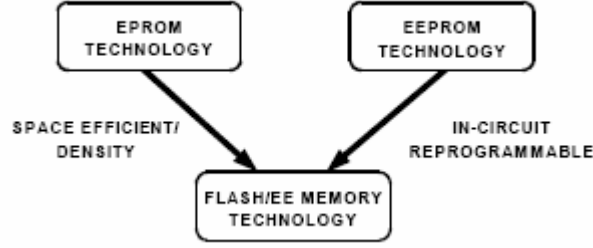
Flash Belleğin Genel Özellikleri:

AduC814 kullanıcıya devre üzerinde programlanabilen kalıcı Flash/EE veri ve program belleği sağlar.

Kalıcı bellek teknolojisinin son ürünlerinden olan Flash/EE bellek, tek tranistörlü hücre mimarisine dayanır.

1980 lerin EPROM teknolojisi üzerine kurulan bu teknoloji sayesinde Flash/EE bellek, devre üzerinde programlanabilme özelliği ile efficient/density(verimli/yoğunluk) özelliklerini bir araya getirmiştir.

EEPROM gibi Flash bellek te byte seviyesinde programlanabilir. Ama önce silinmelidir ve bu da 4 bytelik sayfalar halinde yapılır. Flash bellek çoğu zaman Flash/EE şeklinde anılır.



Özetle Flash/EE bellek; kalıcı, devre üzerinde programlanabilen, yüksek yoğunluklu ve ucuz ideal bir bellektir. AduC814 içinde Flash/EE bellek kullanıcıya uzaktan kumanda noktalarındaki OTP(one time programmable) aygıtları değiştirmeden programı devre üzerinde yenileme imkanı sağlar.

Flash/EE Bellek ve AduC814:

AduC814 içerisinde iki adet Flash/EE bellek dizisi vardır. Birincisi 8K lık program belleğidir. Bu alan 3.parti hafıza programlayıcıları ile programlanabileceği gibi devre üzerinde seri yükleme modunda da programlanabilir.

İkincisi 640 byte lık veri belleğidir. Bu bölge genel amaçlı olarak kullanılabilir. 6 SFR den oluşan bir grup vasıtasıyla erişilebilen bu bölge byte seviyesinde programlanabilir. Ancak yine ilk olarak 4 byte lık sayfalar halinde silinmelidir.

8.2.7 ADuC814 FLASH/EE HAFIZA GÜVENİLİRLİĞİ

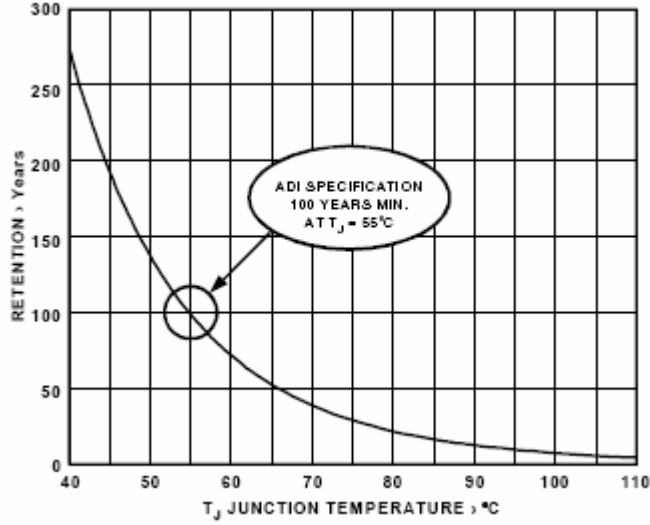
AduC814 teki Flash/EE program ve data belleği 2 konu üzerinde geliştirilmiştir, Flash EE bellek *Cycling Endurance*(çevrim dayanıklılığı) ve Flash/EE bellek *Data Retention*(veri tutma)

Endurance, Flash/EE belleğin çok defa programlanabilmesi, silinebilmesi ve okunabilmesini ifade eder. Tek bir *endurance cycle* 4 ayrı ardışık olaydan oluşur. Bunlar aşağıda gösterilmiştir

- Başlangıç sayfa silme dizisi
- Okuma/doğrulama dizisi
- Byte program dizisi
- İkinci Okuma/doğrulama dizisi

AduC814 üzerindeki Flash/EE belleğin *endurance* ı -40°C ile +85°C arasında 100.000 *cycle* a izin verir. Oda sıcaklığında(25 °C) ise bu değer 700.000 *cycle* a kadar çıkabilir.

Retention, zaman geçtikçe programın bellek üzerinde kalabilme özelliğidir. AduC814 özel jonksiyon sıcaklığında(T = 55°C) JEDEC ile uyumludur.Aşağıda sıcaklığa göre retention zamanı gösterilmiştir. Flash/EE bellek *Retention* ömrü süresince üzerine yazılan programları bozulmadan tutar. *Retention* ömrü aktivasyon enerjisi(0.6 eV) ve jonksiyon sıcaklığına(55 °C) bağlıdır.



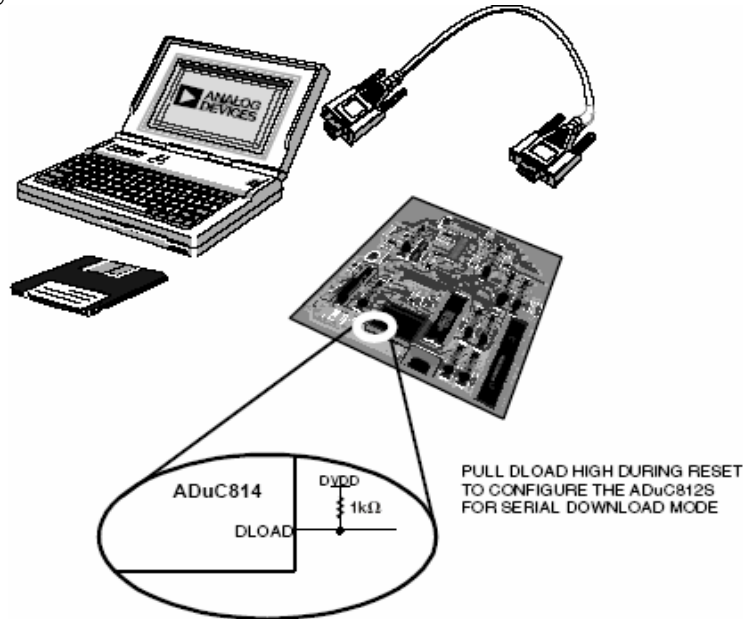
Şekil 8.23 Flash/EE bellek data retention

8.2.7.1 FLASH/EE PROGRAM HAFIZASI KULLANIMI

8 KByte'lik Flash/EE program belleği dizisi 64Klık program boşluğunun AduC814 tarafından adreslenebilen düşük 8 K sına yerleştirilmiştir. Program belleği iki şekilde programlanabilir.

Seri Yükleme

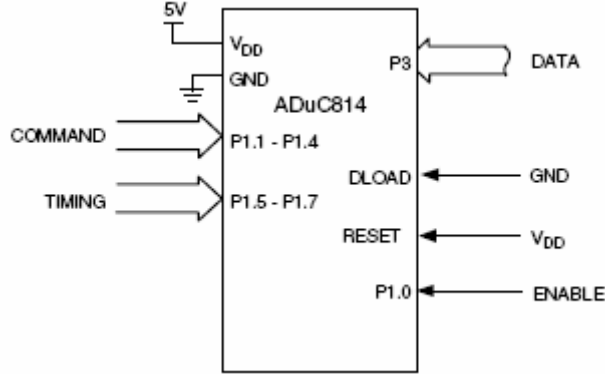
Fabrika *boot* kodu sayesinde AduC814, UART seri port vasıtası ile seri kod yükleyebilir. Eğer DLOAD pini bir direnç üzerinden 1' e çekilmiş ise güç verilmesi ile birlikte bu mod otomatik olarak başlatılmış olur. Bu modda aygıt uygulama devresindeyken dahi program yüklenebilir.



Şekil 8.24

Paralel Programlama

Bu mod 3. parti Flash ya da EEPROM programlayıcılar ile tamamen uyumludur. Flash/EE programlama için gerekli olan yüksek gerilim, yonga üzerindeki şarj pompaları kullanılarak üretilir.



Şekil 8.25 Flash/EE bellek paralel programlama

8.2.7.2 FLASH/EE PROGRAM HAFIZA GÜVENLİĞİ

ADuC814 Flash/EE program belleği için 3 güvenlik moduna sahiptir. Bu modlar seri yada paralel programlama araçlarındaki kullanıcı arayüzlerinden aktifleştirilebilir.

Lock Mod

Bu mod program belleğinin paralel programlanmasını engeller, ancak belleğin okunmasına izin verir. Bu mod seri yükleme yada paralel programlama modlarında 'code erase' komutu başlatılarak kapatılır.

Secure Mod

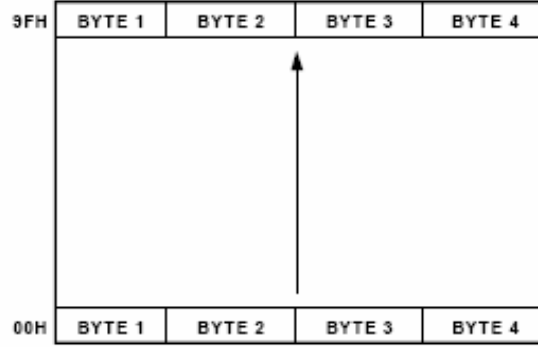
Bu mod program belleğinin paralel programlanmasına ,okunmasına izin vermez. Bu mod seri yükleme yada paralel programlama modlarında 'code erase' komutu başlatılarak kapatılır.

Serial Safe Mod

Bu mod aygıtı seri yükleme yapılmasını engeller. Bu mod aktifken aygıtı seri yükleme yapılmak üzere konfigüre edilip reset atılırsa işlemci bunu normal bir reset operasyonu olarak görür ve seri yükleme yapmaz. Bu mod, paralel programlama modunda 'code erase' komutunu başlatarak kapatılır.

8.2.7.3 FLASH/EE VERİ HAFIZASI KULLANIMI

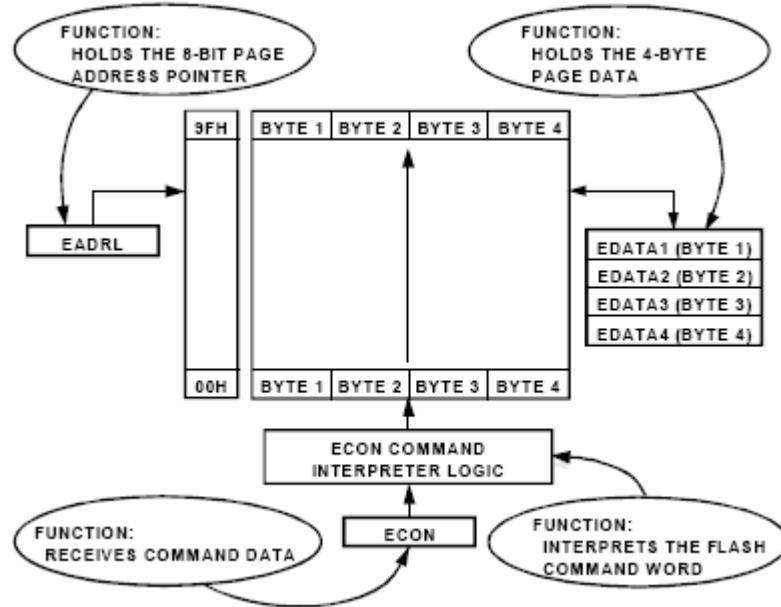
640 byte lık Flash/EE data belleği 4-byte lık 160 sayfadan oluşur.



Şekil 8.24 Flash/EE veri belleği konfigürasyonu

Diğer çevre birimlerinde olduğu gibi bu bellek bölgesine de SFR yazmaçları vasıtası ile erişilir. EDATA1-4 yeni alınan 4-byte lık sayfalık veriyi tutmaya yarar. EADRL 8-bitlik sayfa adresini tutar. ECON ise beş Flash/EE bellek komutundan(okuma, yazma, silme ve verify fonksiyonları) birinin yazılabileceği 8-bitlik bir kontrol yazmacıdır.

ECON:	SFR Adresi: B9H
	Fonksiyon: 640 Byte lık Flash/EE veri belleğine erişimi kontrol eder
	Default: 00H
EADRL:	SFR Adresi: C6H
	Fonksiyon: Sayfa adreslerini tutar(640 Byte => 160 sayfa adresi)
	Default: 00H
EDATA 1-4:	SFR Adresi: BCH, BDH, BEH, BFH
	Fonksiyon: Flash/EE veri belleği sayfa yazma veya okuma işlemlerinde 4 byte lık veriyi tutar.
	Default : EDATA1-2 -> 00H
	EDATA3-4 -> 00H



Şekil 8.27 Flash/EE veri belleği kontrolü ve konfigürasyonu

8.2.7.4 ECON-FLASH/EE HAFIZA KONTROL SFR'si

Bu SFR komutları yorumlar ve çeşitli okuma, yazma ve silme işlemlerini aktifleştirir.

Byte	Komut
01H	Okuma komutu, EADRL nin gösterdiği 4 byte'lık veri EDATA1-4 içine alınır.
02H	Program komutu, EDATA1-4 içindeki 4 byte'lık veri EADRL nin gösterdiği adrese yazılır.
03H	Dahili kullanım için ayrılmıştır.
04H	Doğrulama komutu, EDATA1-4 içindeki 4 byte'lık verinin EADRL nin gösterdiği adreste de olduğunu doğrular. Eğer ECON SFR sinin bir sonraki okunması 0 la sonuçlanırsa doğrulama geçerlidir, aksi halde deydirdir.
05H	Silme komutu, EADRL nin gösterdiği 4-byte'lık veri silinir.
06H	Hepsini silme komutu, 640 byte Flash/EE veri belleği silinir.
07H → FFH	Ayrılmış komutlar, gelecekte kullanılmak üzere ayrılmıştır.

8.2.7.5 FLASH/EE HAFIZA ZAMANLAMASI

Flash/EE bellek için tipik programlama ve silme zamanları şöyledir.

- Bütün diziyi silme (640 Bytes) – 2 ms
- Tek sayfayı silme (4 Bytes) – 2 ms
- Sayfa programlama (4 Bytes) – 250 µs
- Sayfa okuma (4 Bytes) – tek komut çevrimi

Flash/EE Bellek Arabiriminin Kullanılması:

Bütün Flash/EE belleklerde olduğu gibi burada da byte seviyesinde programlama

yapılabilir. Ama önce silinmelidir ki bu işlem de 4 byte lık sayfalar halinde gerçekleştirilir.

Flash/EE bellek dizisine tipik bir erişim, EADRL ye erişilecek adresin girilmesi, EDATA1-4 e diziye programlanacak verinin girilmesi ve ECON a komut kelimesinin yazılması şeklinde olur.

ECON SFR ye komut kelimesi yazılır yazılmaz işlem başlar ve işlem bitene kadar ADUC814 boş durur. Yani pratikte Flash/EE işlemi bitene kadar(250µs ya da 2 ms) bi dahaki komut işlenmez. Bu süre içinde sadece Timer/counter gibi çevre birimleri çalışmaya devam eder.

Hepsini Silme İşlemi:

Flash/EE bellek fabrikadan silinmiş şekilde(bütün bytelar FFH) kullanıcıya sunulsa da bu işlem herhangi programın konfigürasyonuna eklenebilir.

```
MOV ECON, #06H ; hepsini sil komutu 2 ms süre
```

8.2.7.6 BİR BYTE PROGRAMLAMA

Öncelikle programlanacak byte in daha önceden silinmiş olması gerekir. Aşağıda bir byte in programlanmasına ilişkin örnek kod verilmiştir. Programlamanın yapılacağı sayfadaki eski verilerin kaybolmaması için önce okuma işlemi yapılmıştır.

```
MOV EADRL, #03H ; Sayfa adresinin girilmesi
Pointer
MOV ECON, #01H ; Sayfanın okunması
MOV EDATA2, #0F3H ; Yeni byte in girilmesi
MOV ECON, #05H ; Sayfanın silinmesi
MOV ECON, #02H ; Sayfanın yazılması (Program Flash/EE)
```

8.2.8 SPI (SERIAL PERIPHERAL INTERFACE)

ADuC814 eksiksiz bir SPI donanımını bünyesinde barındırır. SPI 8-bit senkron full-duplex veri alış verişi sağlayan endüstri standartlarında senkron seri arabirimdir. SPI pinleri SCLOCK ve MOSI dijital çıkışlar D0 ve D1 ile çoğullanmıştır. SPE(SPI enable) nin 0 olduğu durumlarda bu bitler DCON SFR si ile kontrol edilier. SPI master yada slave olarak kullanılabilir ve tipik olarak 4 pinden oluşur.

8.2.8.1 MISO (Master In, Slave Out Data I/O Pin), Pin#23

MISO pini master modda giriş, slave modda çıkış olarak yapılandırılır. Master daki MISO hattı(veri girişi), slave deki MISO hattına(veri çıkışı) bağlanmalıdır. Veri MSB(en ağırlıklı bit) önce olmak üzere 8-bitlik seri paketler şeklinde aktarılır.

8.2.8.2 MOSI (Master Out, Slave In Pin), Pin#24

MOSI pini master modda çıkış, slave modda giriş olarak yapılandırılır. Master daki MOSI hattı(veri çıkışı), slave deki MOSI hattına(veri girişi) bağlanmalıdır. Veri MSB(en ağırlıklı bit) önce olmak üzere 8-bitlik seri paketler şeklinde aktarılır.

8.2.8.3 SCLOCK (Serial Clock I/O Pin), Pin#25

Master saat (SCLOCK) MOSI ve MISO hatlarından gönderilen ve alınan verinin senkronizasyonunu sağlar. Her SCLOCK periyodunda tek bir veri biti gönderilir ve alınır. Böylece sekiz SCLOCK sonra bir byte gönderilmiş/alınmış olur. Master modda bit hızı, polaritesi ve fazı SPICON SFR nin CPOL, CPHA, SPR0 ve SPR1 bitleri tarafından kontrol edilir. Slave modda SPICON beklenen giriş saatinin faz ve polaritesiyle yapılandırılmalıdır. Master ve slave modlarda veri saat sinyalinin bir kenarında gönderilir diğer kenarında örneklenir. Bu yüzden CPHA ve CPOL master ve slave için aynı şekilde yapılandırılmalıdır.

8.2.8.4 SS (Slave Select Input Pin), Pin#22

SS pini sadece AduC814 slave moddayken SPI yi çalıştırmak için kullanılır. Bu hat aktif 0 dir. Sadece SS pini 0 dayken veri alınabilir ya da gönderilebilir. CPHA = 1 ise SS sürekli olarak 0 a çekilebilir. CPHA = 0 iken SS pini byte alımının veya gönderiminin ilk bitinde 0 a çekilmeli ve son bitten sonra tekrar 1 e çekilmelidir. SPI slave modda SS pinindeki lojik seviye SPICON SFR nin SPR0 bitinden okunabilir.

8.2.8.5 SPICON REGISTERİ

SPICON

SPICON SPI Kontrol Registeri

SFR Adresi F8H

Power-On Reset Değeri 04H

Bit Adreslenme Var

7	6	5	4	3	2	1	0
ISPI	WCOL	SPE	SPIM	CPOL	CPHA	SPR1	SPR0

Bit	İsim	Tanım		
7	ISPI	SPI Kesme biti Her SPI transferinden sonra işlemci tarafından set edilir. Kullanıcı kodu ile ya da SPIDAT SFR nin okunmasıyla silinebilir.		
6	WCOL	Yazma çarpışması hata biti. SPI transferi devam ederken SPIDAT yazılırsa işlemci tarafından set edilir. Kullanıcı kodu ile silinir.		
5	SPE	SPI arabirimi etkinleştirme biti 0 → DCON SFR, D0 ve D1 dijital çıkışları kontrol eder. 1 →SPI arabirimi etkinleştirilir.		
4	SPIM	SPI master/slave mod seçim biti 0 →Slave mod işlemi(SCLOCK çıkış) 1 →Master mod işlemi(SCLOCK giriş)		
3	CPOL	Saat polaritesi seçim biti Eğer SCLOCK boştayken 1 (high) ise bu bit kullanıcı tarafından set edilir. Eğer SCLOCK boştayken 0 (low) ise bu bit kullanıcı tarafından 0 lanır.		
2	CPHA	Saat fazı seçim biti Bu bit eğer veri iletimi SCLOCK un çıkan kenarında gerçekleşiyorsa set edilmeli, düşen kenarında gerçekleşiyorsa 0 lanmalıdır.		
1	SPR1	SPI bit hızı seçim biti, bu bitler master modda SCLOCK hızını seçer.		
0	SPR0	SPR1	SPR0	Seçilen Bit Hızı
		0	0	fCORE/2
		0	1	fCORE/4
		1	0	fCORE/8
		1	1	fCORE/16
		SPI slave modda(SPIM =0), SS pinindeki lojik seviye SPR0 bitinden okunabilir.		

Not: Master ve slave cihazlar için CPOL ve CPHA aynı değerde olmalıdır.

SPIDAT
Fonksiyon

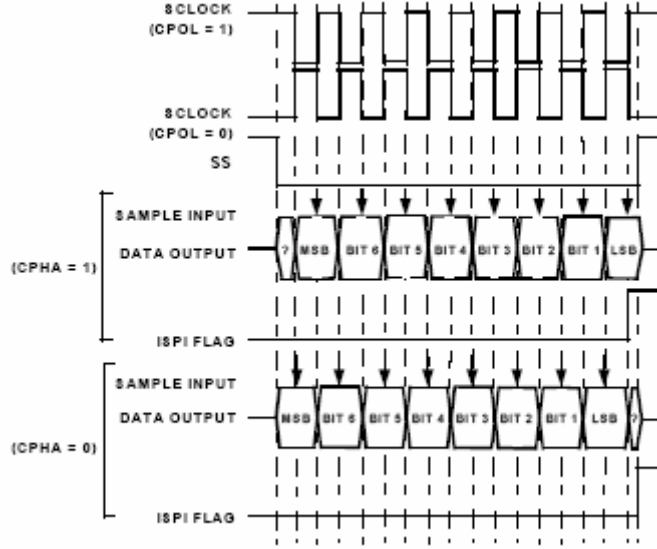
SPI Data Register.
SPI arabirimini yaymak ya da okumak için
SPIDAT SFR kullanıcı tarafından yazılır.

SFR adresi
Power on Reset Değeri
Bit adreslenme

F7H
00H
Var

8.2.8.6 SPI ARAYÜZÜNÜN KULLANIMI

SPICON SFR nin yapılandırılmasına bağlı olarak ADuC814 SPI arabirimi çeşitli modlarda gönderme ya da alma yapar. Aşağıdaki şekil tüm ADuC814 SPI konfigürasyonlarını, zamanlama ilişkisini ve sinyaller arasındaki senkronizasyonu göstermektedir. Ayrıca SPI kesme biti ISPI nin her byte haberleşmesi sonunda tetiklenmesi de gösterilmiştir.



Şekil 8.28 ADuC814' de Tüm Modlar İçin SPI Zamanları

8.2.8.7 SPI ARAYÜZÜ- Master Mod

Master modda, SCLOCK pini her zaman çıkıştır ve kullanıcı kodu tarafından SPIDAT register'ına yazıldığı durumda 8 saat darbesi üretilir. SCLOCK bit hızı SPICON içerisindeki SPR0 ve SPR1 ile belirlenir. Master modda SS pini kullanılmaz. ADuC 814 SS pininden slave aygıt kullanma ihtiyacı duyarsa, bu port dijital çıkış olarak kullanılır.

Master modda byte gönderme ya da alma SPIDAT a yazmayla başlar. SCLOCK aracılığıyla 8 saat darbesi üretilir ve MOSI ile SPIDAT'taki byte gönderilir. Her saat darbesiyle MISO ile bir bit örneklenir. 8 saat darbesinden sonra, gönderilmek istene byte tamamen gönderilmiş olur ve gelen byte Shift Register'da bekler. ISPI bayrağı otomatik olarak set edilir ve eğer aktif edilmiş ise kesme meydana gelir. Shift register'daki değer SPIDAT içerisine aktarılır.

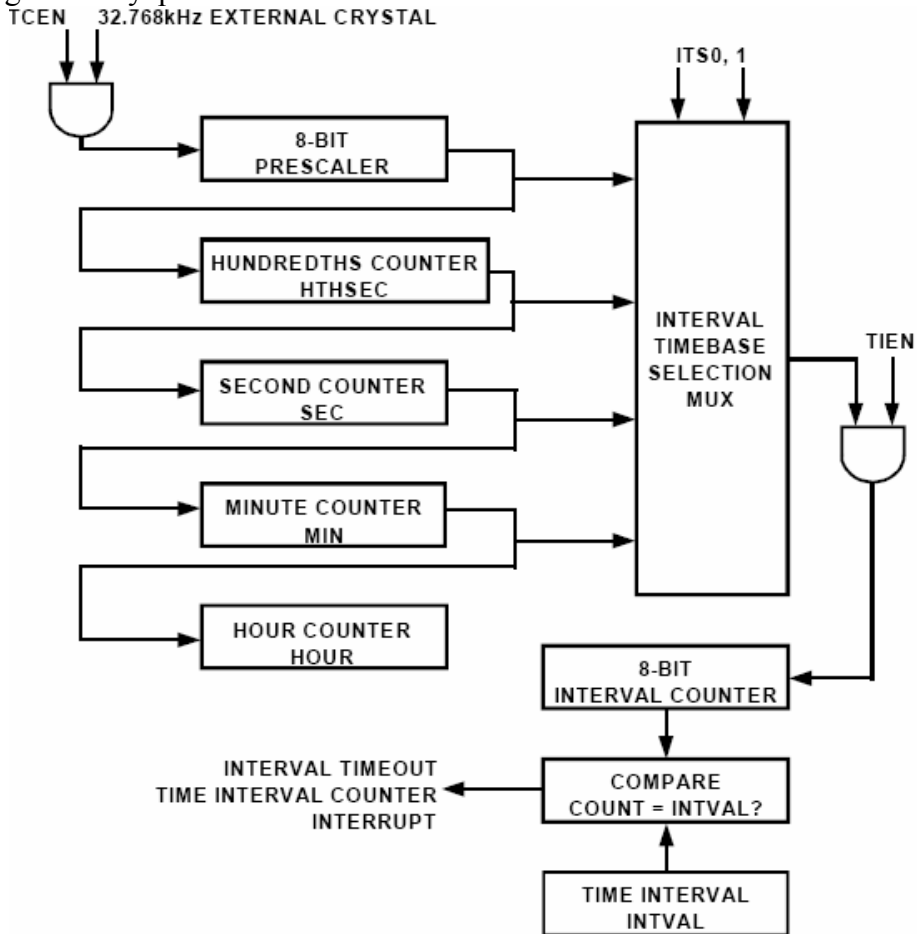
8.2.8.8 SPI ARAYÜZÜ-Slave Mod

Slave modda SCLOCK pini her zaman giriştir. Byte iletimi sırasında SS pini "0" a çekilmelidir. İletim, SPIDAT'a yazma ile başlar. Slave modda, her saat darbesinde bir data biti MISO aracılığı ile gönderilir ve MOSI aracılığı ile alınır. 8 saat darbesinden sonra, gönderilmek istene byte tamamen gönderilmiş olur ve gelen byte Shift Register'da

bekler. 8 saat darbesinden sonra, gönderilmek istene byte tamamen gönderilmiş olur ve gelen byte Shift Register'da bekler. Eğer Gönderme/Alma tamamlanmışsa, shift register'daki değer SPIDAT içerisine aktarılır. Eğer CPHA=1 ya da CPHA=0 ve SS "1"e çıkarsa, 8 saat darbesi sonunda iletim tamamlanmış olur.

8.2.9 TIC (Timer Interval Counter) ve Kontrol Registeri (TIMECON)

TIC standart 8051 uyumlu sayıcılardan daha uzun zaman aralıklarını saymak için kullanılır. 1/128 saniyeden 255 saate kadar zaman aralıklarını sayabilir. Ayrıca bu sayıcı PLL ye değil kristal osilatöre bağlı olduğu için power-down modda da çalışabilir. Bu özellik plile çalışan ve düzenli okuma yapan algılayıcılar için idealdir. TIC ile ilgili 6 SFR mevcuttur. TIMECON kontrol yazmacıdır. TIMECON üzerindeki IT0 ve IT1 bitlerinin durumuna göre, seçile zaman sayıcı yazmacın taşması interval counter ın saat darbesi olur. Bu sayıcı INTVAL SFR deki zaman aralığına eşit olduğunda TIMECON un 2. biti (TII) set edilir ve ilgili kesme (IEP2) aktifse kesme üretir. Eğer AduC814 power-down modda ise ve TIC kesmesi aktif ise, TII biti aygıtı uyandırır ve kod işletimini TIC kesme servis vektör adresi 0053H den başlatır. Ayrıca ilgili SFR lere şimdiki zaman yazılarak gerçek zamanlı saat uygulaması yapılabilir.



Şekil 8.29 TIC Blok Diyagramı

TIMECON

TIMECON TIC Kontrol Registerı

SFR Adresi A1H

Power-On Reset Deęeri 00H

Bit Adreslenme Yok

7	6	5	4	3	2	1	0
----	TFH	ITS1	ITS0	STI	TII	TIEN	TCEN

Bit	İsim	Tanım
7	-----	Gelecekte kullanım için ayrılmıştır
6	TFH	24 saat seçim biti. 0 → Saat sayıcısı 0 dan 255 e sayar. 1 → Saat sayıcısı 0 dan 23 e sayar. TIC 24 saat sayma modunda iken AduC814 reset edilirse bu bit e default değeri 0 yüklenir, dolayısıyla 255 saat moduna geçmiş olur. Resetten sonra tekrar 24 saat moduna geçmek için aşağıdaki kod parçası kullanılabilir. MOV A, TIMECON RRC A JNC NOTSET ORL TIMECON, #01000000B
5	ITS1	Zaman aralığı tabanı seçim bitleri
4	ITS0	Kullanıcı tarafından aralık sayıcının güncellenme oranını belirlemek üzere yazılır. ITS1 ITS0 Aralık zaman tabanı 0 0 1/128 Second 0 1 Seconds 1 0 Minutes 1 1 Hours
3	STI	Tek zaman aralığı biti 0 → Her zaman aralığı aşımından sonra aralık sayıcının otomatik olarak yeniden yüklenip saymaya başlamasını sağlar. 1 → Tek zaman aralığı aşımı üretilir. Eğer set ise zaman aşımı TIEN bitini 0 lar
2	TII	TIC Kesme biti, 8-bit aralık saayıcı INTVAL deki değere ulaşınca bu bit set edilir. Yazılımla 0 lanır
1	TIEN	Zaman aralığı etkinleştirme biti. 0 → Aralık sayıcının içeriğini temizler ve sayıcıyı kapatır. 1 → 8-bit zaman aralığı sayıcısını etkinleştirir.

-
- 0 TCEN Zaman saati etkinleştirme biti
1 → Zaman aralığı sayıcı için zaman saatini etkinleştirir.
0 → Zaman saatini kapatır ve zaman aralığı SFR lerini temizler.TCEN 0 iken zaman sayaçları(HTHSEC, SEC, MIN and HOUR) yazılabilir.
-

TIC ile İLGİLİ DİĞER SFRler

- INTVAL** Zaman aralığı seçim yazmacı
8-bit aralık sayıcı, INTVAL SFR deki zaman aralığına eşit olduğunda TIMECON un 2. biti (TII) set edilir ve ilgili kesme(IEP2) aktifse kesme üretilir.
- SFR Adresi A6H
Başlangıç Değeri 00H
Bit Adreslenebilirimi Hayır
Geçerli değerler 0 dan 255 e(onluk)
- HTHSEC** Yüzüncü Saniyeler Zaman Yazmacı
TIMECON un TCEN biti aktif olduğunda bu yazmaç 1/128 saniye aralıklarla artırılır. HTHSEC SFR 0 dan 127 ye kadar sayıp SEC zaman yazmacını artırır.
- SFR Adresi A2H
Başlangıç Değeri 00H
Bit Adreslenebilirimi Hayır
Geçerli değerler 0 dan 127e(onluk)
- SEC** Saniyeler zaman Yazmacı
TIMECON un TCEN biti aktif olduğunda bu yazmaç 1- saniye aralıklarla artırılır. SEC SFR 0 dan 59 a kadar sayıp MIN zaman yazmacını artırır.
- SFR Adresi A3H
Başlangıç Değeri 00H
Bit Adreslenebilirimi Hayır
Geçerli değerler 0 dan 59 a(onluk)
- MIN** Dakikalar zaman Yazmacı
TIMECON un TCEN biti aktif olduğunda bu yazmaç 1- dakika aralıklarla artırılır. MIN SFR 0 dan 59 a kadar sayıp HOUR zaman yazmacını artırır.
- SFR Adresi A4H
Başlangıç Değeri 00H
Bit Adreslenebilirimi Hayır
Geçerli değerler 0 dan 59 a(onluk)
- HOUR** Saatler zaman Yazmacı
TIMECON un TCEN biti aktif olduğunda bu yazmaç 1- saat aralıklarla artırılır. Eğer TIMECON un 6. biti(TFH); 1 ise HOUR SFR 0 dan 23 e, 0 ise 0 dan 255 e sayar.

SFR Adresi A5H
Başlangıç Değeri 00H
Bit Adreslenebilir mi Hayır
Geçerli değerler 0 dan 23 e(onluk)

8.2.10 WATCHDOG TIMER KONTROL REGISTERİ

WDT, eğer AduC814 programlama hatası, elektriksel gürültü, RFI gibi sebeplerle kayadadeğer bir süre içinde yanlış bir duruma girmişse, reset yada kesme üretir. Bu fonksiyon WDCON SFR sinin WDE biti 0 lanarak kapatılabilir. Eğer bu mod aktifse ve kullanıcı kodu belirlenmiş bir zaman (PRE3-0) içinde WDE bitini set edemezse watchdog devresi reset yada kesme üretir. WDT, 32.768 kHz te çalışan 16 bitlik bir sayıcıdır ve WDCON SFR ile kontrol edilir. WDCON SFR ye sadece kullanıcı tarafından çift yazma dizisi(WDWR) başlatılırsa yazılabilir.

WDCON

WDCON WatchDog Timer Kontrol Registeri

SFR Adresi C0H
Power-On Reset Değeri 10H
Bit Adreslenme Var

7	6	5	4	3	2	1	0
PRE3	PRE2	PRE1	PRE0	WDIR	WDS	WDE	WDWR

Bit	İsim	Tanım																																																												
7	PRE3	WDT timer prescale bitleri																																																												
6	PRE2	Watchdog zaman aıımı şu eşitlikle verilir: $t_{wd} = 2^{\text{PRE}} * (2^9 / f_{\text{PLL}})$																																																												
5	PRE1	($0 - \text{PRE} - 7$; $f_{\text{PLL}} = 32.768 \text{ kHz}$)																																																												
4	PRE0	<table border="1"><thead><tr><th>PRE3</th><th>PRE2</th><th>PRE1</th><th>PRE0</th><th>Zaman aşımı periyodu(ms)</th><th>Eylem</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>15.6</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>31.2</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>62.5</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>125</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>250</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>500</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1000</td><td>Reset / Kesme</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>2000</td><td>Reset / Kesme</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0.0</td><td>Acil Reset</td></tr></tbody></table> <p>PRE3-0 > 1001 Ayrılmış</p>	PRE3	PRE2	PRE1	PRE0	Zaman aşımı periyodu(ms)	Eylem	0	0	0	0	15.6	Reset / Kesme	0	0	0	1	31.2	Reset / Kesme	0	0	1	0	62.5	Reset / Kesme	0	0	1	1	125	Reset / Kesme	0	1	0	0	250	Reset / Kesme	0	1	0	1	500	Reset / Kesme	0	1	1	0	1000	Reset / Kesme	0	1	1	1	2000	Reset / Kesme	1	0	0	0	0.0	Acil Reset
PRE3	PRE2	PRE1	PRE0	Zaman aşımı periyodu(ms)	Eylem																																																									
0	0	0	0	15.6	Reset / Kesme																																																									
0	0	0	1	31.2	Reset / Kesme																																																									
0	0	1	0	62.5	Reset / Kesme																																																									
0	0	1	1	125	Reset / Kesme																																																									
0	1	0	0	250	Reset / Kesme																																																									
0	1	0	1	500	Reset / Kesme																																																									
0	1	1	0	1000	Reset / Kesme																																																									
0	1	1	1	2000	Reset / Kesme																																																									
1	0	0	0	0.0	Acil Reset																																																									
3	WDIR	Watchdog kesme cevabını etkinleştirme biti Eğer bu bit set edilmişse Watchdog zaman aşımı periyodu dolduğunda sistem reseti yerine kesme cevabı üretilir. Bu kesme CLR EA komutu ile kapatılamaz. Sabit, yüksek öncelikli bir kesmsdir. Eğer watchdog sistemi gözetlemek için kullanılmı yorsa timer olarak kullanılabilir. Prescaler kesmenin üretileceği zaman aşımı priyodunu belirlemekte kullanılır.																																																												
2	WDS	Watchdog kontrolü tarafından zaman aşımının meydana geldiğini göstermek üzere set edilir. Bu bite 0 yazılarak veya donanım reseti ile temizlenir. Watchdog reseti ile temizlenmez.																																																												
1	WDE	Watchdog etkinleştirme biti Kullanıcı tarafından watchdog u çalıştırmak ve sayıcılarını 0 lamak için set edilir. Watchdog zaman aşımı periyodu içinde kulalnıcı tarafından set edilmemişse WDIR ye bağlı olarak watchdog kesme yada reset üretir. Bu bit şu koşullarda temizlenir: Kullanıcı tarafından 0 yazılması, watchdog reset(WDIR =0), donanım reseti,PSM kesmesi																																																												
0	WDWR	Watchdog yazma etkinleştirme biti WDCON SFR sine yazmak çift komut dizisini gerektirir. WDWR biti set edilmeli ve bir sonraki komutta WDCON SFR ye yazma komutu işletilmelidir. e . g . , C L R E A ; WDT ye yazarken kesmeleri kapat S E T B W D W R ; WDCON a yazmaya izin ver M O V WDCON, #72h ; WDT yi 2.0s zaman aşımı için kur S E T B E A ; kesmeleri yeniden aç																																																												

8.2.11 GÜÇ KAYNAĞI MONİTÖRÜ ve KONTROL REGISTERİ(PSMCON)

Aktifleştirildiğinde AduC814 ün güç kaynağını(DVDD) izler. Kaynak pinlerindeki gerilim kullanıcı tarafından belirlenen eşik seviyesinin altına düşerse bunu belirtir. Güç kaynağı monitörünün doğru çalışması için DVDD 2.7V a eşit ya da daha büyük olmalıdır. Monitör fonksiyonu PSMCON tarafından kontrol edilir. Eğer IEP2 SFR aracılığı ile etkinleştirilmiş ise monitör PSMCON SFR nin PSMI bitini kullanarak kesme üretir. Bu bit, güç kaynağı 250 ms boyunca eşik seviyesinin üstünde kalmadan 0 lanmaz. Monitör fonksiyonu sayesinde düşük güç kaynağı nedeniyle olabilecek veri kaybı önlenmiş olur. Ayrıca güvenli gerilim seviyesine erişilinceye kadar kod işletimine başlanmaz.

PSMCON

PSMCON Güç Kaynağı Monitörü Kontrol Registerı

SFR Adresi DFH
Power-On Reset Değeri DEH
Bit Adreslenme Yok

7	6	5	4	3	2	1	0
----	CMPD	PSMI	TPD1	TPD0	----	----	PSMEN

Bit	İsim	Tanım
7	-----	Gelecekte kullanım için ayrılmıştır
6	CMPD	DVDD komparatör biti. Bu Bit DVDD komparatörünün durumunu gösteren ve sadece okunabilen bir bittir. Eğer 1 okunuyorsa DVDD kaynağı belirlenen eşik seviyesinin üstündedir. Eğer 0 okunuyorsa DVDD kaynağı belirlenen eşik seviyesinin altındadır.
5	PSMI	Güç kaynağı monitörü kesme biti. CMPD 0 ise bu bit mikrodenetleyici tarafından düşük dijital kaynağı göstermek üzere set edilir.Bu bit işlemciyi kesmeye götürmek için kullanılabilir.CMPD biti tekrar 1 e çıktığında 250 ms sayıcı başlatılır. Bu sayıcı taşığında PSMI kesmesi temizlenir.PSMI kullanıcı tarafından da yazılabilir.Ancak komparatör çıkışı 0 olduğunda kullanıcı Psm yi temizleyemez.
4	TPD1	DVDD Eşik düzeyi seçim biti
3	TPD2	TPD1 TPD0 Seçilen DVDD EşikSeviyesi (V)
		0 0 4.63
		0 1 3.08
		1 0 2.93
		1 1 2.63
2	----	Gelecekte kullanım için ayrılmıştır

1	-----	Gelecekte kullanım için ayrılmıştır
0	PSMEN	Güç kaynağı monitörü etkinleştirme biti. 1 → Güç kaynağı monitörü devresi etkin. 0 → Güç kaynağı monitörü devresi devre dışı.

8.2.12 ADuC814 AYAR REGISTERİ (CFG814)

28 bacaklı AduC814 ün diğer Microconverter ürünleriyle mümkün olduğunca uyum göstermesi için bazı pinler birden çok I/O fonksiyonuna sahiptir. Bu fonksiyonlar arasındaki geçişler AduC814 ayar SFR si CFG814 ile sağlanır. Aşağıda bu fonksiyonların tanımları verilmiştir.

8.2.12.1 SPI

AduC814 te SPI arabirimi D0 ve D1 dijital çıkışları olarak aynı pinleri kullanırlar. SPICON un SPE biti herhangi bir zamanda hangi arabirimin aktif olacağını belirler. SPI arabirimi ayrıca P3.5, P3.6, P3.7 ile çoğullanmıştır. Default olarak bu pinler standart port 3 pinleri olarak çalışırlar. Port 3 pinlerinde SPI arabirimini etkinleştirmek için CFG814 ün 0. biti set edilmelidir.

8.2.12.2 HARİCİ CLOCK

AduC814, 32.768 kHz lik saat kristali ile çalışmak üzere tasarlanmıştır. İçerdeki PLL birimi 16.777216 MHz lik kararlı sistem frekansı elde etmek üzere bu saat frekansını çoğullar. AduC814 üzerinde P3.5 pininin T1 girişi ve SPI master modda slave seçimi gibi alternatif fonksiyonları vardır. Bu pin ayrıca harici saat girişi EXTCLK olarak kullanılır. Bu özellik CFG814 ün 1. biti ile seçilir. Bu mod seçilirse PLL devre dışı kalır ve EXTCLK sistem saati olarak kullanılır. Maksimum harici saat girişi 16.777216 MHz olabilir. EXTCLK seçildiğinde; ADC, EEPROM kontrolü, WDT, SPI saati ve Microconverter çekirdek frekansı gibi birçok çevresel birimin zamanlamasını etkileyecektir.

8.2.12.3 CFG814 REGISTER İÇERİĞİ

CFG814

CFG814 ADuC Ayar Registeri

SFR Adresi 9CH

Power-On Reset Değeri 04H

Bit Adreslenme Yok

7	6	5	4	3	2	1	0
						EXTCLK	SER_EN

Bit	İsim	Tanım
1	EXTCLK	Harici saat seçim biti 0 → çekirdek saati XTALL+PLL olarak belirlenir 1 → çekirdek saati EXTCLK olarak belirlenir
0	SER_EN	Seri arabirim etkinleştirme biti 0 → P3.5, P3.6, P3.7 pinlerinde standart port 3 fonksiyonları etkin 1 → P3.5, P3.6, P3.7 pinlerinde SPI arabirimi etkin

8.2.13 SICAKLIK MONİTÖRÜ

ADuC814 içerisinde chip üzerindeki sıcaklığı ölçen bir Sıcaklık Monitörleme sistemi bulunur bu sistemden veri elde etmek için ADCCON2 ile ADC işlemi ayarları yapılırken bu SFR' nin CSx (Channel Selection) bitlerini uygun konuma getirmek yeterlidir.

$$(CS3,CS2,CS1,CS0)=(1,0,0,0)$$

CSx bitleri bu şekilde ayarlandıktan sonra. Her hangi bir ADCx (0-5) kanalından veri okunur gibi sıcaklık değeri de okunabilir.

Bu özellik chip dışındaki sıcaklığın kontrolü için kullanılamamasına rağmen chip üzerindeki 12-bit çözünürlüklü bir sıcaklık kontrolü bazı uygulamalarda çok gerekli olabilir.